

ҚАЗАҚСТАН РЕСПУБЛИКАСЫНЫҢ ҒЫЛЫМ ЖӘНЕ ЖОҒАРЫ БІЛІМ МИНИСТРЛІГІ
МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РЕСПУБЛИКИ КАЗАХСТАН
MINISTRY OF SCIENCE AND HIGHER EDUCATION OF THE REPUBLIC OF KAZAKHSTAN



**ХАЛЫҚАРАЛЫҚ АҚПАРАТТЫҚ ЖӘНЕ
КОММУНИКАЦИЯЛЫҚ ТЕХНОЛОГИЯЛАР
ЖУРНАЛЫ**

**МЕЖДУНАРОДНЫЙ ЖУРНАЛ
ИНФОРМАЦИОННЫХ И
КОММУНИКАЦИОННЫХ ТЕХНОЛОГИЙ**

**INTERNATIONAL JOURNAL OF INFORMATION
AND COMMUNICATION TECHNOLOGIES**

2025 (22) 2

сәуір - маусым

ISSN 2708–2032 (print)
ISSN 2708–2040 (online)

БАС РЕДАКТОР:

Исахов Асылбек Абдишимович — есептеу теориясы саласында математика бойынша PhD доктор, "Компьютерлік ғылымдар және информатика" бағыты бойынша қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университетінің Басқарма Төрағасы – Ректор (Қазақстан)

БАС РЕДАКТОРДЫҢ ОРЫНБАСАРЫ:

Колесникова Катерина Викторовна — техника ғылымдарының докторы, профессор, Халықаралық ақпараттық технологиялар университетінің ғылыми-зерттеу қызметі жөніндегі проректор (Қазақстан)

ҒАЛЫМ ХАТШЫ:

Ипалакова Мадина Түлегеновна — техника ғылымдарының кандидаты, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университетінің ғылыми-зерттеу қызметі жөніндегі департамент директоры (Қазақстан)

РЕДАКЦИЯЛЫҚ АЛҚА:

Разак Абдул — PhD, Халықаралық ақпараттық технологиялар университеті киберқауіпсіздік кафедрасының профессоры (Қазақстан)
Лучино Томмазо де Паолис — Саленто Университеті (Италия) инновация және технологиялық инжиниринг департаменті AVR зертханасының зерттеу және әзірлеу бөлімінің директоры

Лиз Бэкон — профессор, Абертей Университеті (Ұлыбритания) вице-канцлерінің орынбасары

Микеле Пагано — PhD, Пиза Университетінің (Италия) профессоры

Өтелбаев Мұхтарбай Өтелбайұлы — физика-математика ғылымдарының докторы, профессор, КР ҰҒА академигі, Халықаралық ақпараттық технологиялар университеті математика және компьютерлік модельдеу кафедрасының профессоры (Қазақстан)

Рысбайұлы Болатбек — физика-математика ғылымдарының докторы, профессор, Есептеу және деректер ғылымдары департаментінің профессоры, Astana IT University (Қазақстан)

Дайнеко Евгения Александровна — PhD, Халықаралық ақпараттық технологиялар университеті ақпараттық жүйелер кафедрасының профессор-зерттеушісі (Қазақстан)

Дузаев Нуржан Токсужаевич — PhD, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университеті цифрландыру және инновациялар жөніндегі проректор (Қазақстан)

Синчев Бахтгерей Куспанович — техника ғылымдарының докторы, профессор, Халықаралық ақпараттық технологиялар университеті ақпараттық жүйелер кафедрасының профессоры (Қазақстан)

Сейлова Нургуль Абдуллаевна — техника ғылымдарының докторы, Халықаралық ақпараттық технологиялар университеті компьютерлік технологиялар және киберқауіпсіздік факультетінің деканы (Қазақстан)

Мұхамедиева Ардак Габитовна — экономика ғылымдарының кандидаты, Халықаралық ақпараттық технологиялар университеті бизнес медиа және басқару факультетінің деканы (Қазақстан)

Абдикаликова Замира Тұрсынбаевна — PhD, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университеті математика және компьютерлік модельдеу кафедрасының меңгерушісі (Қазақстан)

Шильдибеков Ерлан Жаржанович — PhD, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университеті экономика және бизнес кафедрасының меңгерушісі (Қазақстан)

Дамелия Максумовна Ескендиrowa — техника ғылымдарының кандидаты, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университеті киберқауіпсіздік кафедрасының меңгерушісі (Қазақстан)

Ниязгулова Айгуль Аскарбековна — филология ғылымдарының кандидаты, доцент, профессор, Халықаралық ақпараттық технологиялар университеті медиакоммуникация және Қазақстан тарихы кафедрасының меңгерушісі (Қазақстан)

Айтмағамбетов Алтай Зуфарович — техника ғылымдарының кандидаты, Халықаралық ақпараттық технологиялар университеті радиотехника, электроника және телекоммуникация кафедрасының профессоры (Қазақстан)

Бахтиярова Елена Азизбековна — техника ғылымдарының кандидаты, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университеті радиотехника, электроника және телекоммуникация кафедрасының меңгерушісі (Қазақстан)

Канибек Сансызбай — PhD, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университеті киберқауіпсіздік кафедрасының профессор-зерттеушісі (Қазақстан)

Тынымбаев Сахиябай — техника ғылымдарының кандидаты, профессор, Халықаралық ақпараттық технологиялар университеті компьютерлік инженерия кафедрасының профессор-зерттеушісі (Қазақстан)

Алимереб Али Абд — PhD, Халықаралық ақпараттық технологиялар университеті киберқауіпсіздік кафедрасының қауымдастырылған профессоры (Қазақстан)

Мохамед Ахмед Хамада — PhD, Халықаралық ақпараттық технологиялар университеті ақпараттық жүйелер кафедрасының қауымдастырылған профессоры (Қазақстан)

Янг Им Чу — PhD, Гачон университетінің профессоры (Оңтүстік Корея)

Талеуш Валдас — PhD, Адам Мицкевич атындағы (Польша) университеттің проректоры

Мамырбаев Оркен Жұмажанович — PhD, КР ҒЖБМ Ғылым комитеті ақпараттық және есептеу технологиялары институты ӨМК директорының ғылым жөніндегі орынбасары (Қазақстан)

Бушув Сергей Дмитриевич — техника ғылымдарының докторы, профессор, Украинаның "УКРНЕТ" жобаларды басқару қауымдастығының директоры, Киев ұлттық құрылыс және сәулет университеті жобаларды басқару кафедрасының меңгерушісі (Украина)

Белошицкая Светлана Васильевна — техника ғылымдарының докторы, доцент, Astana IT University есептеу және деректер ғылымы кафедрасының профессоры (Қазақстан)

РЕДАКТОР:

Мрзабаева Раушан Жалиевна — магистр, Халықаралық ақпараттық технологиялар университетінің редакторы (Қазақстан)

Халықаралық ақпараттық және коммуникациялық технологиялар журналы

ISSN 2708–2032 (print)

ISSN 2708–2040 (online)

Меншік иесі: АҚ «Халықаралық ақпараттық технологиялар университеті» (Алматы қ.).

Қазақстан Республикасы Ақпарат және қоғамдық даму министрлігіне мерзімді баспасөз басылымын есепке қою туралы куәлік № KZ82VPY00020475, 20.02.2020 ж. берілген

Тақырып бағыты: ақпараттық технологиялар, ақпараттық қауіпсіздік және коммуникациялық технологиялар, әлеуметтік-экономикалық жүйелерді дамытудағы цифрлық технология.

Мерзімділігі: жылына 4 рет.

Тираж: 100 дана.

Редакция мекенжайы: 050040 Алматы қ., Манас к., 34/1, каб. 709, тел: +7 (727) 244-51-09.

E-mail: ijict@iitu.edu.kz

Журнал сайты: <https://journal.iitu.edu.kz>

© Халықаралық ақпараттық технологиялар университеті АҚ, 2025

Журнал сайты: <https://journal.iitu.edu.kz> © Авторлар ұжымы, 2025

ГЛАВНЫЙ РЕДАКТОР

Исахов Асылбек Абдиашимович — доктор PhD по математике в области теории вычислимости, ассоциированный профессор по направлению "Компьютерные науки и информатика", Председатель Правления – Ректор Международного университета информационных технологий (Казахстан)

ЗАМЕСТИТЕЛЬ ГЛАВНОГО РЕДАКТОРА:

Колесникова Катерина Викторовна — доктор технических наук, профессор, проректор по научно-исследовательской деятельности Международного университета информационных технологий (Казахстан)

УЧЕНЫЙ СЕКРЕТАРЬ:

Ипалакова Мадина Тулегеновна — кандидат технических наук, ассоциированный профессор, директор департамента по научно-исследовательской деятельности Международного университета информационных технологий (Казахстан)

РЕДАКЦИОННАЯ КОЛЛЕГИЯ:

Разак Абдул — PhD, профессор кафедры кибербезопасности Международного университета информационных технологий (Казахстан)

Лучио Томмазо де Паолис — директор отдела исследований и разработок лаборатории AVR департамента инноваций и технологического инжиниринга Университета Саленто (Италия)

Лиз Бэкон — профессор, заместитель вице-канцлера Университета Абертей (Великобритания)

Микеле Пагано — PhD, профессор Университета Пизы (Италия)

Отелбаев Мухтарбай Отелбайулы — доктор физико-математических наук, профессор, академик НАН РК, профессор кафедры математического и компьютерного моделирования Международного университета информационных технологий (Казахстан)

Рысбайулы Болатбек — доктор физико-математических наук, профессор, профессор Astana IT University (Казахстан)

Дайнеко Евгения Александровна — PhD, профессор-исследователь кафедры информационных систем Международного университета информационных технологий (Казахстан)

Дузбаев Нуржан Токкужаевич — PhD, ассоциированный профессор, проректор по цифровизации и инновациям Международного университета информационных технологий (Казахстан)

Синчев Бахтгерей Куспанович — доктор технических наук, профессор, профессор кафедры информационных систем Международного университета информационных технологий (Казахстан)

Сейлова Нургуль Абадуллаевна — кандидат технических наук, декан факультета компьютерных технологий и кибербезопасности Международного университета информационных технологий (Казахстан)

Мухамедиева Ардак Габитовна — кандидат экономических наук, декан факультета бизнеса медиа и управления Международного университета информационных технологий (Казахстан)

Абдикаликова Замира Турсынбаевна — PhD, ассоциированный профессор, заведующая кафедрой математического и компьютерного моделирования Международного университета информационных технологий (Казахстан)

Шильдибеков Ерлан Жаржанович — PhD, ассоциированный профессор, заведующий кафедрой экономики и бизнеса Международного университета информационных технологий (Казахстан)

Дамеля Максумовна Ескендирова — кандидат технических наук, ассоциированный профессор, заведующая кафедрой кибербезопасности Международного университета информационных технологий (Казахстан)

Ниязгулова Айгуль Аскарбековна — кандидат филологических наук, доцент, профессор, заведующая кафедрой медиакоммуникации и истории Казахстана Международного университета информационных технологий (Казахстан)

Айтмагамбетов Алтай Зуфарович — кандидат технических наук, профессор кафедры радиотехники, электроники и телекоммуникаций Международного университета информационных технологий (Казахстан)

Бахтиярова Елена Ажибековна — кандидат технических наук, ассоциированный профессор, заведующая кафедрой радиотехники, электроники и телекоммуникаций Международного университета информационных технологий (Казахстан)

Канибек Сансызбай — PhD, ассоциированный профессор, профессор-исследователь кафедры кибербезопасности, Международного университета информационных технологий (Казахстан)

Тынымбаев Сахиябай — кандидат технических наук, профессор, профессор-исследователь кафедры компьютерной инженерии, Международного университета информационных технологий (Казахстан)

Алмисреб Али Абд — PhD, ассоциированный профессор кафедры кибербезопасности Международного университета информационных технологий (Казахстан)

Мохамед Ахмед Хамада — PhD, ассоциированный профессор кафедры информационных систем Международного университета информационных технологий (Казахстан)

Янг Им Чу — PhD, профессор университета Гачон (Южная Корея)

Талеуш Валлас — PhD, проректор университета имен Адама Мицкевича (Польша)

Мамырбаев Оркен Жумажанович — PhD, заместитель директора по науке РГП Института информационных и вычислительных технологий Комитета науки МНВО РК (Казахстан)

Бушуев Сергей Дмитриевич — доктор технических наук, профессор, директор Украинской ассоциации управления проектами «УКРНЕТ», заведующий кафедрой управления проектами Киевского национального университета строительства и архитектуры (Украина)

Белошницкая Светлана Васильевна — доктор технических наук, доцент, профессор кафедры вычислений и науки о данных Astana IT University (Казахстан)

РЕДАКТОР:

Мрзабаева Раушан Жалиевна — магистр, редактор Международного университета информационных технологий (Казахстан)

Международный журнал информационных и коммуникационных технологий

ISSN 2708–2032 (print)

ISSN 2708–2040 (online)

Собственник: АО «Международный университет информационных технологий» (г. Алматы).

Свидетельство о постановке на учет периодического печатного издания в Министерство информации и общественного развития Республики Казахстан № KZ82VPY00020475, выданное от 20.02.2020 г.

Тематическая направленность: информационные технологии, информационная безопасность и коммуникационные технологии, цифровые технологии в развитии социально-экономических систем.

Периодичность: 4 раза в год.

Тираж: 100 экземпляров.

Адрес редакции: 050040 г. Алматы, ул. Манаса 34/1, каб. 709, тел: +7 (727) 244-51-09.

E-mail: ijict@iitu.edu.kz

Сайт журнала: <https://journal.iitu.edu.kz>

© АО Международный университет информационных технологий, 2025

© Коллектив авторов, 2025

EDITOR-IN-CHIEF

Assylbek Issakhov — PhD in Mathematics in Computability Theory, associate professor in “Computer Science and Informatics,” Chairman of the Board – Rector of the International Information Technology University (Kazakhstan)

DEPUTY EDITOR-IN-CHIEF

Kateryna Kolesnikova — Doctor of Technical Sciences, professor, Vice-Rector for Research, International Information Technology University (Kazakhstan)

ACADEMIC SECRETARY

Madina Ipalakova — Candidate of Technical Sciences, associate professor, Director of the Research Department, International Information Technology University (Kazakhstan)

EDITORIAL BOARD

Abdul Razak — PhD, professor, Department of Cybersecurity, International Information Technology University (Kazakhstan)

Lucio Tommaso De Paolis — Director of the R&D Department of the AVR Laboratory, Department of Engineering for Innovation, University of Salento (Italy)

Liz Bacon — Professor, Deputy Vice-Chancellor, Abertay University (United Kingdom)

Michele Pagano — PhD, Professor, University of Pisa (Italy)

Mukhtarbay Otelbayev — Doctor of Physical and Mathematical Sciences, professor, academician of the National Academy of Sciences of the Republic of Kazakhstan, professor of the Department of Mathematical and Computer Modeling, International Information Technology University (Kazakhstan)

Bolatbek Rysbauly — Doctor of Physical and Mathematical Sciences, professor, professor of the Department of Computing and Data Science, Astana IT University (Kazakhstan)

Yevgeniya Daineko — PhD, research professor, Department of Information Systems, International Information Technology University (Kazakhstan)

Nurzhhan Duzbayev — PhD, associate professor, Vice-Rector for Digitalization and Innovation, International Information Technology University (Kazakhstan)

Bakhtgerai Sinchev — Doctor of Technical Sciences, professor, Department of Information Systems, International Information Technology University (Kazakhstan)

Nurgul Seilova — Candidate of Technical Sciences, Dean of the Faculty of Computer Technologies and Cybersecurity, International Information Technology University (Kazakhstan)

Ardak Mukhamediyeva — Candidate of Economic Sciences, Dean of the Faculty of Business, Media and Management, International Information Technology University (Kazakhstan)

Zamira Abdikalikova — PhD, associate professor, Head of the Department of Mathematical and Computer Modeling, International Information Technology University (Kazakhstan)

Yerlan Shildibekov — PhD, associate professor, Head of the Department of Economics and Business, International Information Technology University (Kazakhstan)

Damilya Yeskendiroya — Candidate of Technical Sciences, associate professor, Head of the Department of Cybersecurity, International Information Technology University (Kazakhstan)

Aigul Niyazgulova — Candidate of Philological Sciences, Professor, Head of the Department of Media Communications and History of Kazakhstan, International Information Technology University (Kazakhstan)

Altai Aitmagambetov — Candidate of Technical Sciences, Professor, Department of Radio Engineering, Electronics and Telecommunications, International Information Technology University (Kazakhstan)

Yelena Bakhtiyarova — Candidate of Technical Sciences, associate professor, Head of the Department of Radio Engineering, Electronics and Telecommunications, International Information Technology University (Kazakhstan)

Kanibek Sansyzbay — PhD, research professor, Department of Cybersecurity, International Information Technology University (Kazakhstan)

Sakhybay Tynymbayev — Candidate of Technical Sciences, Professor, Research Professor, Department of Computer Engineering, International Information Technology University (Kazakhstan)

Ali Abd Almisreb — PhD, associate professor, Department of Cybersecurity, International Information Technology University (Kazakhstan)

Mohamed Ahmed Hamada — PhD, associate professor, Department of Information Systems, International Information Technology University (Kazakhstan)

Yang Im Chu — PhD, Professor, Gachon University (South Korea)

Tadeusz Wallas — PhD, Vice-Rector, Adam Mickiewicz University (Poland)

Orken Mamyrbayev — PhD, Deputy Director for Science, RSE Institute of Information and Computational Technologies, Committee for Science of the Ministry of Science and Higher Education of the Republic of Kazakhstan (Kazakhstan)

Sergey Bushuyev — Doctor of Technical Sciences, professor, Director of the Ukrainian Project Management Association “UKRNET,” Head of the Department of Project Management, Kyiv National University of Construction and Architecture (Ukraine)

Svetlana Beloshitskaya — Doctor of Technical Sciences, professor, Department of Computing and Data Science, Astana IT University (Kazakhstan)

EDITOR

Raushan Mrzabayeva — Master of Science, editor, International Information Technology University (Kazakhstan)

«International Journal of Information and Communication Technologies»

ISSN 2708–2032 (print)

ISSN 2708–2040 (online)

Owner: International Information Technology University JSC (Almaty).

The certificate of registration of a periodical printed publication in the Ministry of Information and Social Development of the Republic of Kazakhstan, Information Committee No. KZ8ZVPY00020475, issued on 20.02.2020.

Thematic focus: information technology, digital technologies in the development of socio-economic systems, information security and communication technologies

Periodicity: 4 times a year.

Circulation: 100 copies.

Editorial address: 050040. Manas st. 34/1, Almaty. +7 (727) 244-51-09. E-mail: ijict@iitu.edu.kz

Journal website: <https://journal.iitu.edu.kz>

© International Information Technology University JSC, 2025

© Group of authors, 2025

МАЗМҰНЫ

М.Ж. Айтимов, К.К. Макулов, А.Б. Остаева, Г.Ш. Мусагулова, Я. Култан АЙМАҚТЫҚ ДАМУҒА ӘЛЕУМЕТТІК-ЭКОНОМИКАЛЫҚ ФАКТОРЛАРДЫҢ ӨСЕРІН ЗЕРТТЕУ ҮШІН ГИБРИДТІ МОДЕЛЬДІ ҚОЛДАНУ.....	8
А.С. Баегизова, Г.Е. Мырзабекова, А.З. Алимагамбетова, Г.И. Мухамедрахимова, М. Кассим ИНТЕЛЛЕКТУАЛДЫ КЛАСТЕРЛЕУ ӘДІСТЕРІН ҚОЛДАНА ОТЫРЫП, ҚЫСҚА МӘТІНДЕРДІ ТАЛ ДАУ.....	23
Г.У. Бектемісова, А.А. Быков, Б.А. Нурашихин, А.А. Кереш, М.О. Даулетбек КОМПЬЮТЕРЛІК КӨРУ ЖӘНЕ МАШИНАЛЫҚ ОҚЫТУ НЕГІЗІНДЕ ҚҰРЫЛЫС ПРОЦЕСТЕРІН БАҚЫЛАУДЫҢ ИНТЕЛЛЕКТУАЛДЫ ЖҮЙЕСІН ӨЗІРЛЕУ ЖӘНЕ СЫНАУ	37
Д. Еділхан, Н. Хаймульдин, Д. Оспанова, Б. Амиргалиев БАРЛЫҚ КӨШЕЛЕРДІ ҚОЗҒАЛЫС ШЕКТЕУЛЕРІМЕН ҚАМТУҒА АРНАЛҒАН ОҢТАЙЛЫ МАРШРУТТЫ ТАБУДЫҢ ИНТЕЛЛЕКТУАЛДЫ МОДЕЛІ.....	57
А. Игнатович, А.С. Есенгельдина, Л.Т. Курмангазиева, С.Р. Шармұханбет, М.У. Худойберганов МАШИНАЛЫҚ ОҚЫТУ КӨМЕГІМЕН ҚАЗАҚСТАНДАҒЫ СОТ ШЕШІМДЕРІН БОЛЖАУҒА АРНАЛҒАН ДЕРЕКТЕРДІ ҚҰРУ.....	75
А.Х. Касымова, Г.Б. Абдикеримова, А.К. Асабай, А.Б. Серикбаева, С.М. Ахмедова БЕЙНЕ АҒЫНДАРЫНДА ҚОЗҒАЛАТЫН ОБЪЕКТІЛЕРДІ АНЫҚТАУ ҮШІН НАҚТЫ УАҚЫТТАҒЫ МАТЕМАТИКАЛЫҚ МОДЕЛЬДЕУ.....	91
С.К. Кумаргажанова, Д. Нұрлыбекова, А.С. Тлебалдинова, М.А. Карменова, С.А. Смаилова ШЫҒЫС ҚАЗАҚСТАН ОБЛЫСЫНЫҢ ҚАР КӨШКІНІ АЙМАҚТАРЫН МАШИНАЛЫҚ ОҚЫТУ ӘДІСІ АРҚЫЛЫ АНЫҚТАУ.....	115
С.Б. Муханов, К. Бекболат, Н.А. Сейлова, Ж.М. Бекаулова, С.Ж. Жакыпбеков САУДА ЖҮПТАРЫНДАҒЫ КРИПТОВАЛЮТА БАҒАСЫНЫҢ ҚҰБЫЛМАЛЫЛЫҒЫН БОЛЖАУҒА АРНАЛҒАН НЕЙРОНДЫҚ ЖЕЛІ МОДЕЛЬДЕРІН САЛЫСТЫРУ.....	130
Н.А. Оданова, К.Б. Багитова, Э.Э. Эльдарова, Ж.Т. Қабылхамит, Л.Терейковская АҚПАРАТТЫҚ ҚАУІПСІЗДІК САЛАСЫНДА ПЕРНЕТАҚТАДА ТЕРУ ҮЛГІСІН ТАЛДАУҒА АРНАЛҒАН НЕЙРОЖЕЛІЛІК МОДЕЛЬДЕРДІ ҚОЛДАНУ.....	142
А.С. Сраж, М. Нұртас, А.А. Алтайбек, З.Т. Абдикаликова НЕЙРОНДЫҚ ЖЕЛІЛЕР МАТЕМАТИКАЛЫҚ ЕСЕПТЕУ ҚҰРАЛЫ РЕТІНДЕ.....	154
А.М. Темірхан, Г.Н. Пашенко БАНКТЫҚ АЛАЯҚТЫҚТЫ АНЫҚТАУДАҒЫ ГРАФТЫҚ НЕЙРОНДЫҚ ЖЕЛІЛЕР: ӘДІСТЕРДІ САЛЫСТЫРМАЛЫ ТАЛДАУ	174
Е.Б. Тулебаев, А.А. Муханова, Н. Горанин МУНИЦИПАЛДЫҚ АКТИВТЕРДІҢ ТӘУЕКЕЛДЕРІН БОЛЖАУ: МАШИНАЛЫҚ ОҚЫТУДЫ ПАЙДАЛАНУ АРҚЫЛЫ ЖАС, ТОЗУ ЖӘНЕ ПАЙДАЛАНУ ҚАРҚЫНДЫЛЫҒЫ НЕГІЗІНДЕ ТЕХНИКАЛЫҚ ҚЫЗМЕТ КӨРСЕТУ ШЕШІМДЕРІН МОДЕЛЬДЕУ.....	186
С. Тынымбаев, Ж.Е. Темирбекова, Р.Ш. Бердибаев, С.Е. Маманова ТӨРТ РАЗРЯДТЫ ЕКІЛІК ПАРАЛЛЕЛЬ ТАСЫМАЛДАҒЫШЫ БАР ҚОСЫНДЫЛАРДЫ САЛЫСТЫРМАЛЫ ТАЛДАУ.....	200
Б.М. Укибасов, С.Б. Рахметулаева, Ж.О. Жанабеков, Ансар-уль-Хак Ясар ЭХОКАРДИОГРАММАЛАРДАҒЫ АҚАУЛАРДЫ ДИАГНОСТИКАЛАУ ҮШІН БЕТТІ АНЫҚТАУ ЖӘНЕ ТАНУ ҮЛГІЛЕРІН БЕЙІМДЕУ.....	214
Д.И. Усипбекова, М.Б. Есенова, Н. Ұзаққызы, Р. Муратхан, П. Шмидт МАММОГРАФИЯЛЫҚ СУРЕТТЕРДЕ СҮТ БЕЗІ ҚАТЕРЛІ ІСІГІН ДӨЛ АНЫҚТАУҒА АРНАЛҒАН БЕЛГІЛЕР ВЕКТОРЫН ҚҰРУ.....	235

СОДЕРЖАНИЕ

М.Ж. Айтимов, К.К. Макулов, А.Б. Остаева, Г.Ш. Мусагулова, Я. Култан ПРИМЕНЕНИЕ ГИБРИДНОЙ МОДЕЛИ ДЛЯ ИЗУЧЕНИЯ ВЛИЯНИЯ СОЦИАЛЬНО- ЭКОНОМИЧЕСКИХ ФАКТОРОВ НА РЕГИОНАЛЬНОЕ РАЗВИТИЕ.....	8
А.С. Баегизова, Г.Е. Мырзабекова, А.З. Алимагамбетова, Г.И. Мухамедрахимова, М. Кассим АНАЛИЗ КОРОТКИХ ТЕКСТОВ С ИСПОЛЬЗОВАНИЕМ МЕТОДОВ ИНТЕЛЛЕКТУАЛЬНОЙ КЛАС- ТЕРИЗАЦИИ.....	23
Г.У. Бектемысова, А.А. Быков, Б.А. Нурашихин, А.А. Кереш, М.О. Даулетбек РАЗРАБОТКА И ТЕСТИРОВАНИЕ ИНТЕЛЛЕКТУАЛЬНОЙ СИСТЕМЫ МОНИТОРИНГА СТРОИТЕЛЬНЫХ ПРОЦЕССОВ НА ОСНОВЕ КОМПЬЮТЕРНОГО ЗРЕНИЯ И МАШИННОГО ОБУЧ- ЕНИЯ.....	37
Д. Едилхан, Н. Хаймульдин, Д. Оспанова, Б. Амиргалиев ИНТЕЛЛЕКТУАЛЬНАЯ МОДЕЛЬ ПОИСКА ОПТИМАЛЬНОГО МАРШРУТА ПОКРЫТИЯ ВСЕХ УЛИЦ С ОГРАНИЧЕНИЯМИ ПО ПЕРЕМЕЩЕНИЯМ.....	57
А. Игнатович, А.С. Есенгельдина, Л.Т. Курмангазиева, С.Р. Шармуханбет, А.М. Недзьведь ГЕНЕРАЦИЯ ДАННЫХ ДЛЯ ПРОГНОЗИРОВАНИЯ СУДЕБНЫХ РЕШЕНИЙ В КАЗАХСТАНЕ С ИСПОЛЬЗОВАНИЕМ МАШИННОГО ОБУЧЕНИЯ.....	75
А.Х. Касымова, Г.Б. Абдикеримова, А.К. Асабай, А.Б. Серикбаева, С.М. Ахмедова МАТЕМАТИЧЕСКОЕ МОДЕЛИРОВАНИЕ В РЕАЛЬНОМ ВРЕМЕНИ ДЛЯ ОБНАРУЖЕНИЯ ДВИЖУЩИХСЯ ОБЪЕКТОВ В ВИДЕОПОТОКАХ.....	91
С.К. Кумаргажанова, Д. Нурлыбекова, А.С. Тлебалдинова, М.А. Карменова, С.А. Смаилова ВЫЯЛЕНИЕ ЛАВИНООПАСНЫХ ЗОН В ВОСТОЧНОМ КАЗАХСТАНЕ С ИСПОЛЬЗОВАНИЕМ МЕТОДОВ МАШИННОГО ОБУЧЕНИЯ.....	115
С.Б. Муханов, К. Бекболат, Н.А. Сейлова, Ж.М. Бекаулова, С. Ж. Жакыпбеков СРАВНЕНИЕ МОДЕЛЕЙ НЕЙРОННЫХ СЕТЕЙ ДЛЯ ПРОГНОЗИРОВАНИЯ ВОЛАТИЛЬНОСТИ ЦЕН КРИПТОВАЛЮТ В ТОРГОВЫХ ПАРАХ.....	130
Н.А. Оданова, К.Б. Багитова, Э.Э. Эльдарова, Ж.Т. Кабылхамит, Л. Терейковская ПРИМЕНЕНИЕ НЕЙРОСЕТЕВЫХ МОДЕЛЕЙ ДЛЯ АНАЛИЗА КЛАВИАТУРНОГО ПОЧЕРКА В ИНФОРМАЦИОННОЙ БЕЗОПАСНОСТИ.....	142
А.С. Сраж, М. Нуртас, А.А. Алтайбек, З.Т. Абдикаликова НЕЙРОННЫЕ СЕТИ КАК ИНСТРУМЕНТ МАТЕМАТИЧЕСКИХ ВЫЧИСЛЕНИЙ.....	154
А.М. Темирхан, Г.Н. Пашенко ГРАФОВЫЕ НЕЙРОННЫЕ СЕТИ ДЛЯ ОБНАРУЖЕНИЯ МОШЕННИЧЕСТВА: СРАВНИТЕЛЬНЫЙ АНАЛИЗ МЕТОДОВ.....	174
Е.Б. Тулебаев, А.А. Муханова, Н. Горанин ПРОГНОЗНАЯ ОЦЕНКА РИСКОВ МУНИЦИПАЛЬНЫХ АКТИВОВ С ИСПОЛЬЗОВАНИЕМ МАШИННОГО ОБУЧЕНИЯ: МОДЕЛИРОВАНИЕ ВОЗРАСТА, ИЗНОСА И ИСПОЛЬЗОВАНИЯ ДЛЯ ПРИНЯТИЯ РЕШЕНИЙ ПО ОБСЛУЖИВАНИЮ.....	186
С. Тынымбаев, Ж.Е. Темирбекова, Р.Ш. Бердибаев, С.Е. Маманова СРАВНИТЕЛЬНЫЙ АНАЛИЗ ЧЕТЫРЕХРАЗЯДНЫХ ДВОИЧНЫХ СУММАТОРОВ С ПАРАЛЛЕЛЬНЫМИ ПЕРЕНОСАМИ.....	200
Б.М. Укибасов, С.Б. Рахметулаева, Ж.О. Жанабеков, Ансар-уль-Хак Ясар АДАПТАЦИЯ МОДЕЛЕЙ ОБНАРУЖЕНИЯ И РАСПОЗНАВАНИЯ ЛИЦ ДЛЯ ДИАГНОСТИКИ ДЕФЕКТОВ НА ЭХОКАРДИОГРАММАХ.....	214
Д.И. Усипбекова, М.Б. Есенова, Н. Узаккызы, Р. Мурадхан, П. Шмидт ОПРЕДЕЛЕНИЕ ВЕКТОРА ПРИЗНАКОВ ДЛЯ ТОЧНОГО ВЫЯВЛЕНИЯ РАКА МОЛОЧНОЙ ЖЕЛЕЗЫ НА ИЗОБРАЖЕНИЯХ МАММОГРАММЫ.....	235

CONTENTS

M. Aitimov, K. Makulov, A. Ostayeva, G. Mussagulova, J. Kultan APPLICATION OF A HYBRID MODEL TO STUDY THE IMPACT OF SOCIO-ECONOMIC FACTORS ON REGIONAL DEVELOPMENT.....	8
A. Bayegizova, G. Murzabekova, A. Alimagambetova, G. Mukhamedrakhimova, M. Kassim INTELLIGENT CLUSTERING METHODS FOR PROCESSING AND ANALYZING SHORT TEXTS.....	23
G.U. Bektemysova, A.A. Bykov, B.A. Norashikin, A.A. Keresh, M.O. Dauletbek DEVELOPMENT AND TESTING OF AN INTELLIGENT MONITORING SYSTEM FOR CONSTRUCTION PROCESSES BASED ON COMPUTER VISION AND MACHINE LEARNING.....	37
D. Yedilkhan, N. Khaimuldin, D. Ospanova, B. Amirgaliyev INTELLIGENT MODEL FOR FINDING THE OPTIMAL ROUTE TO COVER ALL STREETS WITH MOVEMENT CONSTRAINTS.....	57
A. Ignatovich, A.S. Yesengeldina, L.T. Kurmangazyeva, S.R. Sharmukhanbet, A.M. Nedzved SIGNIFICANT FACTORS ANALYSIS USING SHAP AND PCA FOR OPTIMIZING AGRICULTURAL RESOURCE MANAGEMENT.....	75
A. Kassymova, G. Abdikerimova, A. Assabay, A. Serikbayeva, S. Akhmedova REAL-TIME MATHEMATICAL MODELING FOR MOVING OBJECT DETECTION IN VIDEO STREAMS.....	91
S.K. Kumargazhanova, D. Nurlybekova, A.S. Tlebaldinova, M.A. Karmenova, S.S. Smailova FINDING AVALANCHE AREAS IN EAST KAZAKHSTAN USING MACHINE LEARNING.....	115
S.B. Mukhanov, K. Bekbolat, N.A. Seilova, Zh.M. Bekaulova, S.Zh. Zhakypbekov COMPARISON OF NEURAL NETWORK MODELS FOR PREDICTION CRYPTOCURRENCY PRICE VOLATILITY IN TRADING PAIRS.....	130
N. Odanova, K. Bagitova, E. Eldarova, Zh. Kabylkhamit, L. Tereikovska APPLICATION OF NEURAL NETWORK MODELS FOR KEYSTROKE DYNAMICS ANALYSIS IN INFORMATION SECURITY.....	142
A.S. Srazh, M. Nurtas, A.A. Altaibek, Z.T. Abdikalikova EURAL NETWORKS AS A TOOL FOR MATHEMATICAL COMPUTATION.....	154
A.M. Temirkhan, G.N. Pachshenko GRAPH NEURAL NETWORKS FOR FRAUD DETECTION: COMPARATIVE ANALYSIS OF METHODS.....	174
Y.B. Tulebayev, A.A. Mukhanova, N. Goranin PREDICTIVE RISK ASSESSMENT OF MUNICIPAL ASSETS USING MACHINE LEARNING: MODELING AGE, DEPRECIATION, AND USAGE FOR MAINTENANCE DECISIONS.....	186
S. Tynymbayev, Zh. E. Temirbekova, R. Berdibayev, E.S. Mamanova COMPARATIVE ANALYSIS OF FOUR-BIT BINARY ADDERS WITH PARALLEL CARRIES.....	200
B.M. Ukibassov, S.B. Rakhmetulayeva, Zh.O. Zhanabekov, Ansar-Ul-Haque Yasar ADAPTING FACE DETECTION AND RECOGNITION MODELS FOR ECHOCARDIOGRAPHIC DEFECT DIAGNOSIS.....	214
D. Ussipbekova, M. Yessenova, N. Uzakkyzy, R. Muratkhan, P. Schmidt DETERMINATION OF SIGNS VECTOR FOR ACCURATE DETECTION OF BREAST CANCER IN MAMMOGRAM IMAGES.....	235

INTERNATIONAL JOURNAL OF INFORMATION AND COMMUNICATION TECHNOLOGIES

ISSN 2708–2032 (print)

ISSN 2708–2040 (online)

Vol. 6. Is. 1. Number 22 (2025). Pp. 200–213

Journal homepage: <https://journal.iitu.edu.kz><https://doi.org/10.54309/IJICT.2025.22.2.013>

IRSTI 20.01

COMPARATIVE ANALYSIS OF FOUR-BIT BINARY ADDERS WITH PARALLEL CARRIES***S. Tynymbayev¹, Zh. E. Temirbekova^{1*}, R. Berdibayev², E.S. Mamanova¹***¹International Information Technology University, Almaty, Kazakhstan;²Almaty University of Power Engineering and Telecommunications named after Gumarbek Daukeyev, Almaty, Kazakhstan.E-mail: temyrbekovazhanerke2@gmail.com**Tynymbayev S.** — Candidate of Technical Sciences, professor, academician of the International Academy of Informatization (IAI), International Information Technology University, Almaty, KazakhstanE-mail: s.tynym@mail.ru**Temirbekova Zh.** — Doctor of Technical Sciences, PhD, International Information Technology University, Almaty, KazakhstanE-mail: temyrbekovazhanerke2@gmail.com**Berdybayev R.** — Candidate of Political Sciences, academician of the International Academy of Informatization (IAI), Almaty University of Power Engineering and Telecommunications named after Gumarbek Daukeyev, Almaty, KazakhstanE-mail: r.berdybaev@aues.kz**Mamanova S.** — Master of Technical Sciences, International Information Technology University, Almaty, KazakhstanE-mail: s.mamanova@iitu.edu.kz

© S. Tynymbayev, Zh. E. Temirbekova, R. Berdibayev, E.S. Mamanova, 2025

Abstract. Recently, non-traditional adders have appeared, such as adders with a conditional sum and with conditional transfers, adders on three input or two-input fans «exclusive OR (XOR)». The paper considers the construction of functional circuits of four-bit binary adders, where bit adders are built based on two and three «exclusive OR (XOR)» input gates and on adders with a conditional sum such as with parallel transfer circuits. The synthesis of an adder with a conditional sum is considered. In conclusion, four-digit adders are compared in terms of the number of MOSFETs and speed, which allows you to choose the type of adders when designing various digital devices that contain binary adders.

Keywords: binary adders, exclusive OR gates, parallel carry circuits, conditional sum adder

For citation: S. Tynymbayev, Zh.E. Temirbekova, R. Berdibayev, E.S. Mamanova. Comparative analysis of four-bit binary adders with parallel carries// International journal of information and communication technologies. 2025. Vol. 6. No. 22. Pp. 200–213 (In Eng.). <https://doi.org/10.54309/IJICT.2025.22.2.013>.

Conflict of interest: The authors declare that there is no conflict of interest.



ТӨРТ РАЗРЯДТЫ ЕКІЛІК ПАРАЛЛЕЛЬ ТАСЫМАЛДАҒЫШЫ БАР ҚОСЫНДЫЛАРДЫ САЛЫСТЫРМАЛЫ ТАЛДАУ

С. Тынымбаев¹, Ж.Е. Темирбекова^{1}, Р.Ш. Бердибаев², С.Е. Маманова¹*

¹Халықаралық ақпараттық технологиялар университетіб Алматы, Қазақстан;

²Ғұмарбек Дәукеев атындағы Алматы энергетика және байланыс университеті,

Алматы, Қазақстан.

E-mail: temyrbekovazhanerke2@gmail.com

Тынымбаев С. — т.ғ.к., профессор, академик, Халықаралық ақпараттық технологиялар университеті
E-mail: s.tynym@mail.ru

Темирбекова Ж. — техника ғылымдарының докторы, PhD, Халықаралық ақпараттық технологиялар университеті
E-mail: temyrbekovazhanerke2@gmail.com

Бердибаев Р. — саяси ғылымдарының кандидаты, академик, Ғұмарбек Дәукеев атындағы Алматы энергетика және коммуникациялар университеті
E-mail: r.berdybaev@auess.kz

Маманова С. — техника ғылымдарының магистрі, Халықаралық ақпараттық технологиялар университеті
E-mail: s.mamanova@iitu.edu.kz

© С. Тынымбаев, Ж.Е. Темирбекова, Р.Ш. Бердибаев, С.Е. Маманова, 2025

Аннотация. Кәзіргі уақытта ғылыми басылымдарға шартты қосылғышы бар, шартты тасымалдағышы бар және үш немесе екі кірісті екі модульмен қосу арқылы құрылған дәстүрлі емес қосылғыштардың түрлері қаралып отыр. Қаралып отырған мақалада аталған қосылғыштар арқылы төрт разрядты қосылғыштардың құрылымдық сұлбаларын құрып оларды бір-бірімен жылдамдықтары және оларды құратын транзисторлардың саны арқылы салыстырылды. Салыстыру нәтижесі цифрлық құрылғыларды жобалағанда қосылғыштардың тиімді түрін таңдап алуға мүмкіндік береді.

Түйін сөздер: екілік қосылғыштар, екі немесе үш кірісті екі модульмен қосы арқылы құрылған қосылғыштар, параллель тасымалдау сұлбасы, шартты қосылғыш

Дәйексөздер үшін: С. Тынымбаев, Ж.Е. Темирбекова, Р.Ш. Бердибаев, С.Е. Маманова. Параллель трансферттері бар төрт биттік екілік қосқыштарды салыстырмалы талдау // Халықаралық ақпараттық және коммуникалық технологиялар журналы. 2025. Т. 6. No. 22. 200–213 бет. (қазақ тілінде). <https://doi.org/10.54309/IJICT.2025.22.2.013>.

Мүдделер қақтығысы: Авторлар осы мақалада мүдделер қақтығысы жоқ деп мәлімдейді.

СРАВНИТЕЛЬНЫЙ АНАЛИЗ ЧЕТЫРЕХРАЗРЯДНЫХ ДВОИЧНЫХ СУММАТОРОВ С ПАРАЛЛЕЛЬНЫМИ ПЕРЕНОСАМИ

С. Тынымбаев¹, Ж.Е. Темирбекова^{1}, Р.Ш. Бердибаев², С.Е. Маманова¹*

¹Международный университет информационных технологий, Алматы,
Казахстан;

²Алматинский университет энергетики и связи имени Гумарбека Даукеева,
Алматы, Казахстан.

E-mail: temyrbekovazhanerke2@gmail.com

Тынымбаев С. — кандидат технических наук, профессор, академик МАИН, Международный университет информационных технологий, Алматы, Казахстан

E-mail: s.tynym@mail.ru

Темирбекова Ж. — доктор технических наук, PhD, Международный университет информационных технологий, Алматы, Казахстан

E-mail: temyrbekovazhanerke2@gmail.com

Бердибаев Р. — кандидат политических наук, академик МАИН, Алматинский университет энергетики и связи имени Гумарбека Даукеева, Алматы, Казахстан

E-mail: r.berdybaev@auces.kz

Маманова С. — магистр технических наук, Международный университет информационных технологий, Алматы, Казахстан

E-mail: s.mamanova@iitu.edu.kz

© С. Тынымбаев, Ж.Е. Темирбекова, Р.Ш. Бердибаев, С.Е. Маманова, 2025

Аннотация. В последнее время появились нетрадиционные сумматоры такие как сумматоры с условной суммой и с условными переносами, сумматоры на трех входных или двухвходных вентилях «исключающее ИЛИ». В работе рассматриваются построение функциональных схем четырехразрядных двоичных сумматоров, где разрядные сумматоры построены на базе двух и трех входных вентилях «исключающее ИЛИ» и на сумматорах с условной суммой такие как с цепями параллельных переносов. Рассматривается синтез сумматора с условной суммой. В заключении осуществляется сравнение четырёхразрядных сумматоров по количеству МОП транзисторов и по быстродействию, что позволяет выбрать тип сумматоров при проектировании различных цифровых устройств, где содержатся двоичные сумматоры.

Ключевые слова: двоичные сумматоры, вентили «исключающее ИЛИ», схемы параллельными переносов, сумматор с условной суммой

Для цитирования: С. Тынымбаев, Ж.Е. Темирбекова, Р.Ш. Бердибаев, С.Е. Маманова. Сравнительный анализ четырехразрядных двоичных сумматоров с параллельными переносами//Международный журнал информационных и коммуникационных технологий. 2025. Т. 6. No. 22. Стр. 200–213. (На англ.). <https://doi.org/10.54309/IJICT.2025.22.2.013>.

Конфликт интересов: авторы заявляют об отсутствии конфликта интересов.

Introduction

Adders perform arithmetic additions and subtractions of numbers and, together with other logical operations, adders form the basis of arithmetic logic device cir-

cuits that implement several different operations (division, multiplication, raising to a power, etc.) that are integral parts of processors of various types. This article is useful for specialists in designing any digital accounts where binary adders are used.

The hardware complexity and speed of an adder are important parameters and, therefore, many variants of single-bit and multi-bit adders with serial, parallel and combined carries have been developed (Ugryumov, 2020: 800; Russo et al., 2018).

Materials and Methods

Traditionally, binary adders are synthesized based on a truth table (Nair et al., 2018: 1942–55; Timmermann et al., 2018: 1–4). The analytical expressions of the sum (S_i) and carry (P_i) functions for the i -th digit have the following form:

$$S_i = \bar{a}_i \cdot \bar{b}_i P_{i-1} \vee \bar{a}_i b_i P_{i-1} \vee a_i b_i P_{i-1} \quad (1)$$

$$P_i = a_i b_i \vee a_i P_{i-1} \vee b_i P_{i-1}$$

where, a_i – bits of the i -th digits of numbers A and B;

P_{i-1} – carry from the least significant digit.

In the AND-NOT circuits in formula (1), P_{i-1} has the following form (Harris et al., 2022: 947; Sazhina, 2021: 140):

$$P_i = \overline{a_i b_i} \cdot \overline{P_{i-1} a_i} \cdot \overline{P_{i-1} b_i} \quad (2)$$

The expression for S_i using the summation operation modulo two («exclusive OR») can be rewritten as follows:

$$S_i = P_{i-1}(a_i b_i + \bar{a}_i \bar{b}_i) + \bar{P}_{i-1}(\bar{a}_i b_i + a_i \bar{b}_i) = \quad (3)$$

$$= P_{i-1}(\overline{a_i \oplus b_i}) + \bar{P}_{i-1}(a_i \oplus b_i) = P_{i-1} \oplus a_i \oplus b_i$$

As can be seen from formula (3), the sum of the i -digit can be formed on three-input or two-input «exclusive OR» circuits.

Recently, new approaches to the design of digital circuits have been developed and are being developed, including adders based on integrated circuits on MOS transistors, which are characterized by high speed, low power consumption, where the transistor placement density in one chip is calculated in millions.

In this regard, approaches to the development of adders are changing. So-called adders with a conditional sum (CSA) and adders with a conditional carry (CCA) have appeared (Sklansky, 1960: 226–231). In this paper, we will consider a four-digit adder with parallel carry on adders with a conditional sum.

To speed up the operations of adding multi-digit numbers, parallel carry circuits (PCC) have been developed (Cheng et al., 1998: 131–134; Kuo-Hsing et al.,

2016: 975–989). The formula for calculating the carry P_i on AND-NOT gates is as follows:

$$P_i = \overline{\overline{g_i g_{i-1} h_{i-1} g_{i-2} h_{i-1} n_i} \dots \overline{P_{\text{ex}} h_0 h_1 \dots h_i}} \quad (4)$$

where $g_i = a_i b_i$ – carry generation function;

$h_i = a_i \vee b_i = \overline{\overline{a_i} \overline{b_i}}$ – carry transfer function.

With a large number of adder bits, the implementation of parallel carry requires logic elements with a large number of inputs and high load capacity. For example, to build an eight-bit adder, elements with 8 inputs and a branching factor of 16 are required, which may exceed the capabilities of basic logic elements. Therefore, adders with parallel carry are usually implemented only for a small number of bits. In the future, we will consider the construction of multi-bit adders based on four-bit adders, where the parallel carry circuit (PCC) is implemented according to the following formulas:

$$\begin{aligned} P_0 &= \overline{\overline{g_0} \overline{P_{\text{ex}} h_0}} = \overline{\overline{a_0 b_0} \cdot \overline{P_{\text{ex}} h_0}} \\ P_1 &= \overline{\overline{a_1 b_1} \cdot \overline{a_0 b_0 h_1} \cdot \overline{P_{\text{ex}} h_1 h_0}} \\ P_2 &= \overline{\overline{a_2 b_2} \cdot \overline{a_1 b_1 h_2} \cdot \overline{a_0 b_0 h_2 h_1} \cdot \overline{P_{\text{ex}} h_2 h_1 h_0}} \end{aligned} \quad (5)$$

Fig.1. shows the circuit diagram of the power supply system, constructed according to formula (5), where the carries P_0, P_2, P_3 are formed in parallel for a four-bit adder.

Four-bit parallel carry adder with three-input «exclusive-OR (XOR)» gates SM_1

The functional diagram of a 4-bit adder with parallel carry on three-input «exclusive-OR (XOR)» circuits is shown in Figure 2.

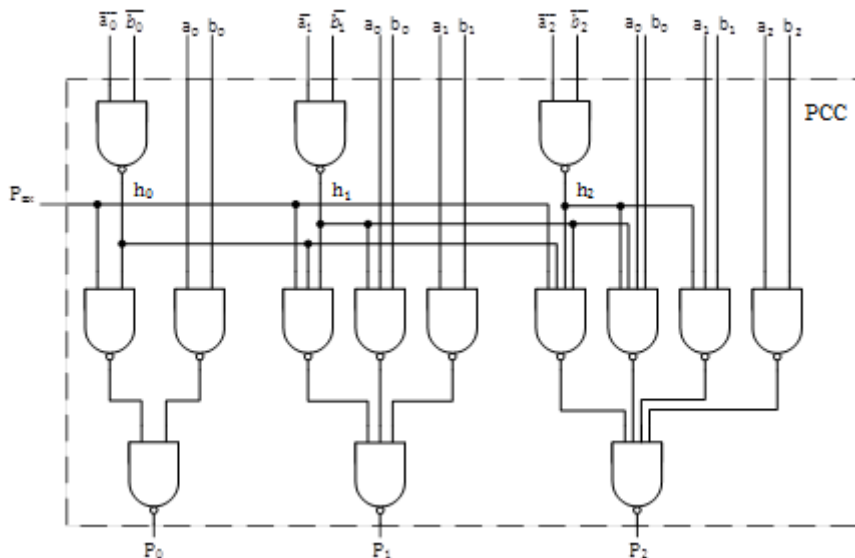


Fig. 1. Functional Diagram of the Parallel Carry Generator for Four-Bit Adders

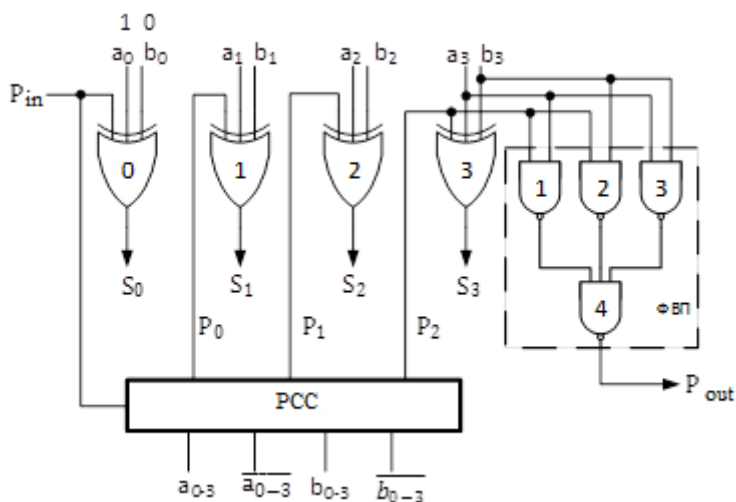


Fig.2. Functional Diagram of a 4-Bit Adder with Parallel Carries on Three-Input «Exclusive-OR (XOR)» Circuits

As can be seen from Figure 2, the adder consists of four three-input «exclusive-OR (XOR)» circuits, a PCC circuit, and an output carry generator FVP, where the carry is formed at the output of the four-bit adder. The FVP can be constructed using the following formula:

$$P_{\text{FVP}} = \overline{a_3 b_3} \cdot \overline{P_2 a_3} \cdot \overline{P_2 b_3} \quad (6)$$

The three-input «exclusive-OR (XOR)» circuit is implemented according to the truth table, which is given in Table 1.

Table 1. Truth Table of the Adder S_i for the Three-Input «Exclusive-OR (XOR)» Circuit

P_{i-1}	a_i	b_i	S_i	P_{i-1}	a_i	b_i	S_i
0	0	0	0	1	0	0	1
0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	0
0	1	1	0	1	1	1	1

From this table we have:

$$S_i = \bar{a}_i b_i P_{i-1} + a_i \bar{b}_i \bar{P}_{i-1} + \bar{a}_i b_i P_{i-1} =$$

$$= (\bar{a}_i b_i P_{i-1}) + (a_i \bar{b}_i \bar{P}_{i-1}) + (\bar{a}_i b_i P_{i-1}) + (a_i \bar{b}_i P_{i-1})$$

Figure 4 shows the functional diagram of the S_i generator constructed according to formula (7).

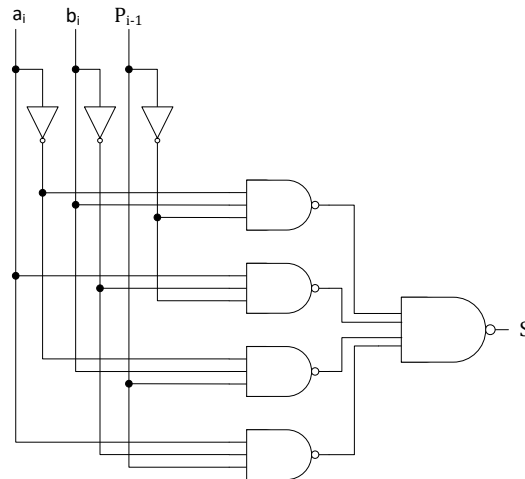


Fig. 4. Functional Diagram of the S_i Generator on Three-Input «Exclusive-OR (XOR)» Circuits

Four-bit parallel carry adder with two-input «exclusive-OR (XOR)» gates.

The functional diagram of such an adder is shown in Figure 5.

As can be seen from Figure 5, each bit adder consists of two exclusive OR circuits. The inputs of the first circuit (0.1, 1.1, 2.1, 3.1) are fed with bits $a_0 b_0$, $a_1 b_1$, $a_2 b_2$ and $a_3 b_3$, respectively. In this case, at the outputs of each bit of the adder, half- $S_0^1 = a_0 \oplus b_0$, $S_1^1 = a_1 \oplus b_0$, $S_2^1 = a_2 \oplus b_2$ and $S_3^1 = a_3 \oplus b_3$ are formed, which are fed to the first inputs of the second «exclusive-OR (XOR)» circuit (0.2, 1.2, 2.2, 3.2), and the input carry P_{in} is fed to the second inputs of the “exclusive OR” circuit 0.2. From the output of the PCC, the carries P_0 , P_1 , P_2 are fed to the second inputs of the

exclusive OR circuit 1.2, 2.2, 3.2; at the outputs of the circuits 0.2, 1.2, 2.2, 3.2, the sum bits S_0, S_1, S_2, S_3 are simultaneously formed. The output carry P_{out} is also formed at the outputs of the third bit, which is implemented according to formula (6).

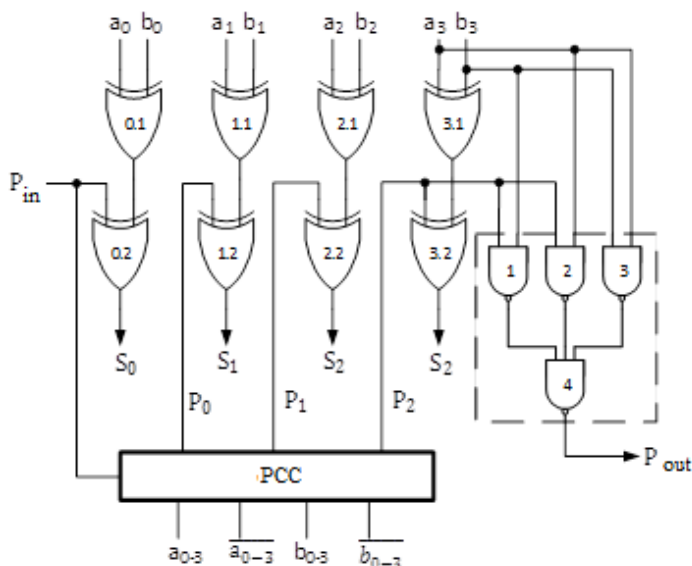


Fig.5. Functional Diagram of a 4-Bit Adder with Parallel Carries, Where Each Adder Bit Is Built on Two «Exclusive-OR (XOR)» Circuits

Figure 6 shows a functional diagram of one bit of the adder on two «exclusive-OR (XOR)» circuit.

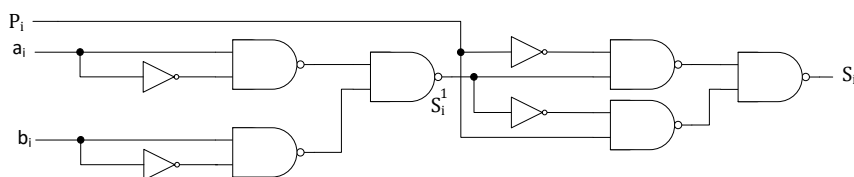


Fig. 6. Functional Diagram of One Bit of the Adder on Two «Exclusive-OR (XOR)» Circuits

Results and discussion

Four-bit parallel carry adder on conditional sum adders (SM_3). Literature older than 10 years needed to compare existing adders with newly developed adders [7-8]. In single-digit adders with a conditional sum, in the process of addition $a_i + b_i$ calculates the sum $S_i^0 = a_i \oplus b_i$ and the sum $S_i^1 = \overline{S_i^0}$. The choice of one of them is determined by the value of the corresponding transfer generated by the BSC scheme.

The truth table of the conditional sum adder is shown in Table 2.

Table 2. The truth table of the conditional sum adder

P_i	a_i	b_i	S_i^0	P_i	a_i	b_i	S_i^1
0	0	0	0	1	0	0	1
0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	0
0	1	1	0	1	1	1	1

From the first part of Table 2 we have

$$S_i^0 = \bar{a}_i b_i + a_i \bar{b}_i = a_i \oplus b_i. \quad (8)$$

From the second part of Table 2 we get

$$S_i^1 = \overline{a_i b_i} + a_i b_i. \quad (9)$$

From formulas (8) and (9) it is easy to see that

$$S_i^1 = \overline{S_i^0}$$

to minimize transistors in bit adders, we transform formula (8) as follows.

$$\begin{aligned} S_i^0 &= a_i \bar{b}_i + \bar{a}_i b_i = a_i \bar{a}_i + a_i \bar{b}_i + \bar{a}_i b_i + b_i \bar{b}_i = a_i(\bar{a}_i + b_i) + b_i(\bar{a}_i + \bar{b}_i) = \\ &= (a_i + b_i) \cdot (\bar{a}_i + \bar{b}_i) = (a_i + b_i)(\overline{a_i \cdot b_i}) = \overline{(a_i + b_i)(a_i \cdot b_i)} = \\ &= \overline{(a_i + b_i) + (a_i \cdot b_i)}. \end{aligned} \quad (10)$$

Using formula (10), it is possible to implement an «exclusive-OR» circuit and, adding the MUX multiplexer circuit, it is not difficult to build a one-bit adder with a conditional sum, which is shown in Figure 7.

Let us consider the operation of the i -th digit of the adder with a conditional sum. After applying the bits a_i and b_i to the inputs of the OR-NOT (1) and XOR-NOT (1) circuits, at the output of the OR-NOT circuit (2) we obtain the sum $S_i^0 = a_i \oplus b_i$ and at the output of INERTOR 2 we obtain the values sums $S_i^1 = S_i^0$. The sum S_i^0 is supplied to the input (0) of the MUX_i multiplexer, and the value S_i^1 is supplied to the input (1). Based on the transfer value P_i , the value S_i^0 or S_i^1 is output to the output of the MUX_i multiplexer, forming the value S_i .

Figure 8 shows the circuit of the adder of the third most significant digit, where the third digit of the sums S is simultaneously formed at the output of the MUX₃ multiplexer, and the sign multiplexer MUX_{3H} generates the output transfer P_{out} , choosing one of two transfers $P_{out}^0 = a_3 b_3$ and $P_{out}^1 = a_3 + b_3$ by carrying P_2 .

Figure 9 shows a functional diagram of a four-bit adder with parallel carry on adders with a conditional sum.

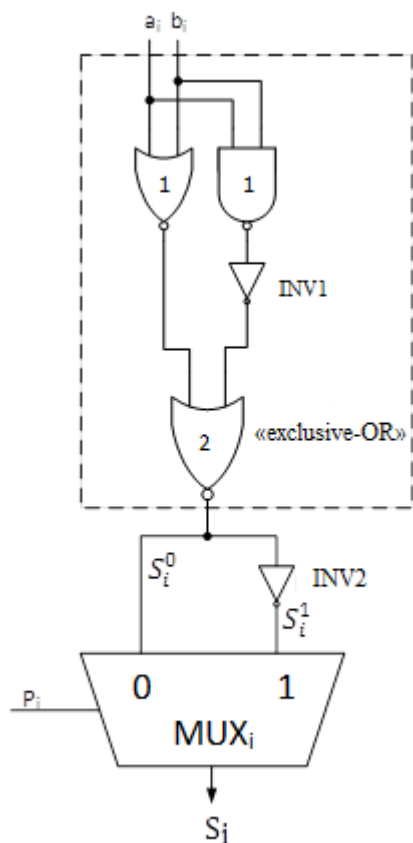


Fig. 7. Functional Diagram of the I-Th Digit of the Adder With a Conditional Sum

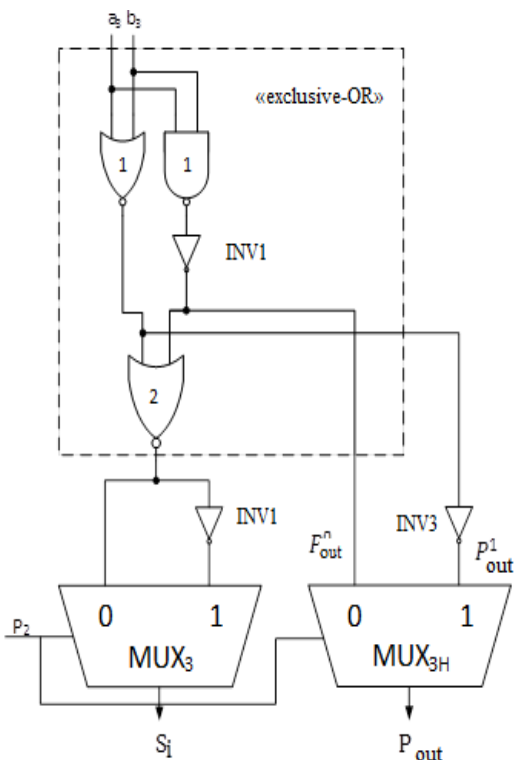


Fig. 8. Functional Diagram of the Most Significant Digit of the Adder with a Conditional Sum

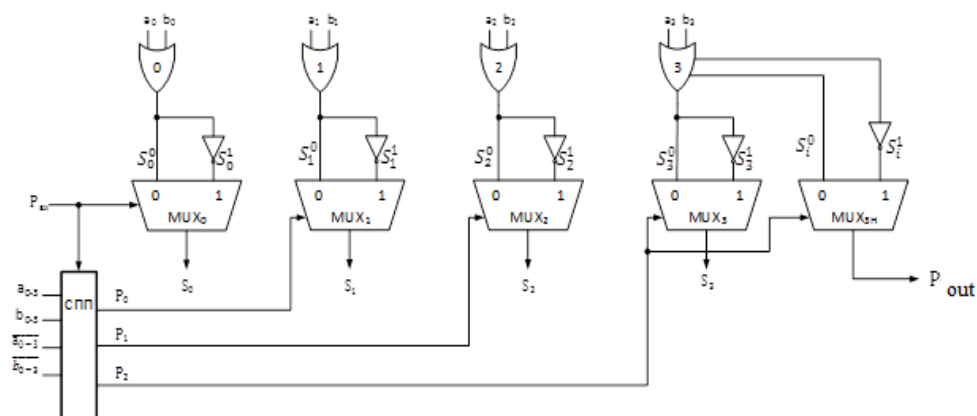


Fig. 9. Functional Diagram of a Four-Bit Parallel Carry Adder Using Conditional Sum Adders

Figure 10 a) shows the circuit of the MUX_i multiplexer using MOS transistors. The operating rules of the multiplexer are shown in Figure 10 b).

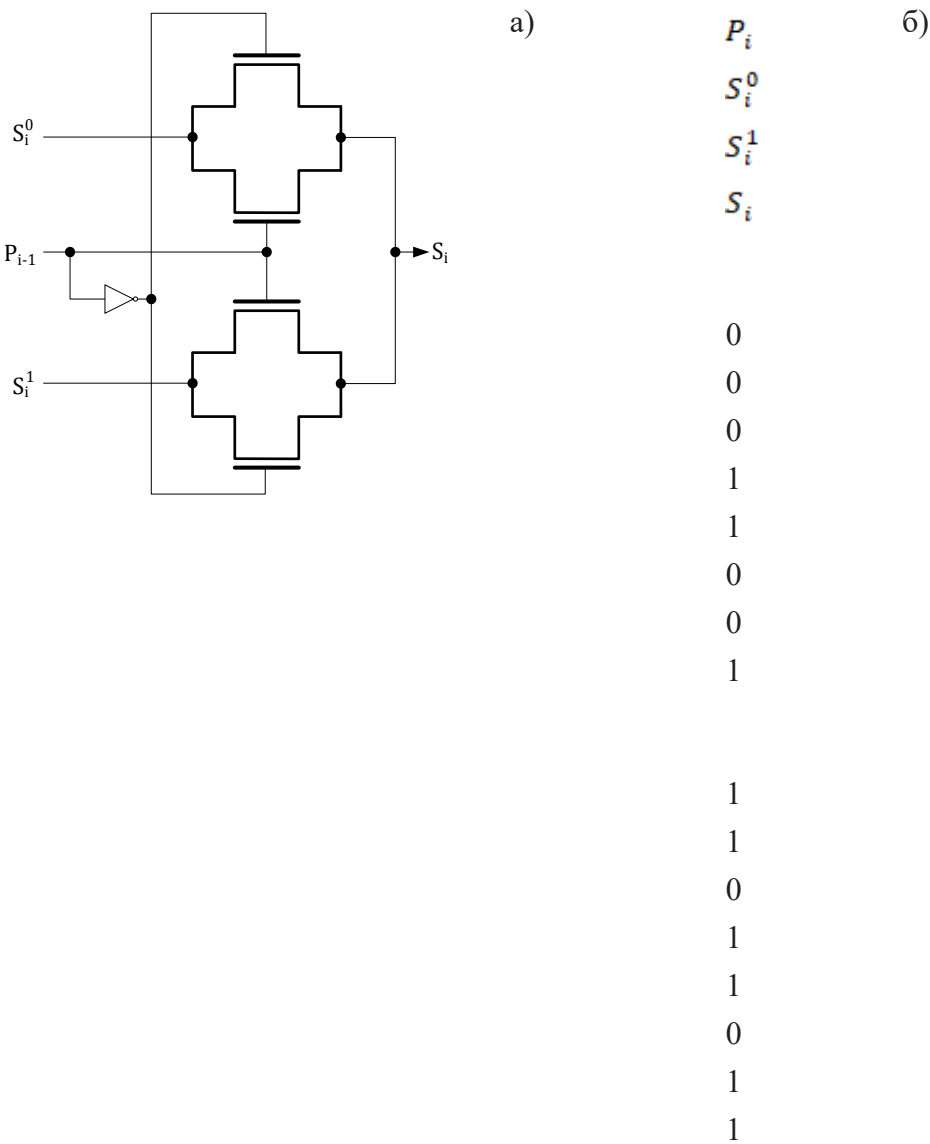


Fig. 10. Functional Diagram of the Multiplexer a) and the truth table of the multiplexer b)

A distinctive feature is the construction of a multi-bit adder with a conditional sum, confirmed by patents received for the invention (Tynymbaev et al., 2023; Tynymbaev et al., 2023; Tynymbaev et al., 2023).

Comparative analysis of parallel carry adders (Hwang et al., 2022: 358–369; Cheng et al., 2021: 131–134). The comparison is carried out by the number of MOS transistors that need to be implemented in various adders and by the delay time on the

logic elements for the formation of sum and carry bits.

When counting MOS transistors, we will use Table 1, which shows the symbols and diagrams of gates on MOS transistors and the number of transistors for the implementation of the corresponding gates, compiled according to work (Chandrakasan et al., 2015: 498–523).

To implement the CPP (Figure 1) according to Table 1, only 76 MOS transistors will be required.

According to Figure 2, four three-input «XOR» circuits are required for the operation of the adder (Figure 3).

According to Figure 3, the number of transistors for building one three-input circuit «XOR» is 38 transistors.

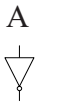
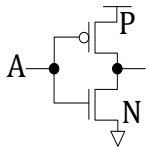
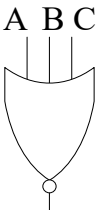
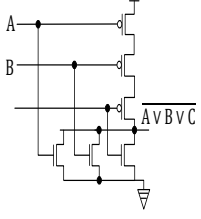
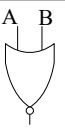
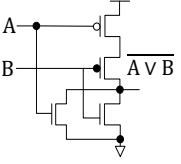
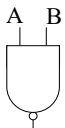
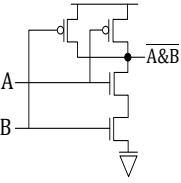
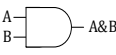
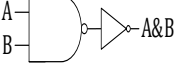
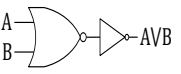
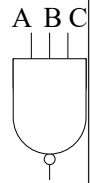
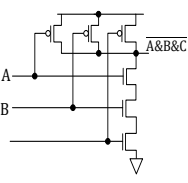
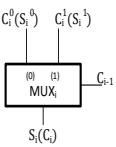
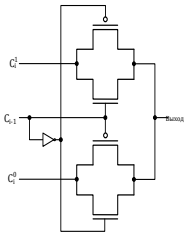
To build a VVP (Figure 2), 16 MOSFETs will be required. Since there are four adders in the number of multipliers, the total number of MOSFETs required is $N_1 = 76 + 38 \times 4 + 16 = 244$ transistors. The time for the formation of the digits of the sum is $\tau_{AD1} = 3\tau_{PCC} + 3\tau_{AD} = 6\tau_{LE}$

According to Figure 5, the number of two-input circuits «exclusive OR» is 4. To build one two-input circuit, 32 transistors will be required, then $N_2 = 7(32 \times 4) + 76 + 16 = 220$ transistors. The time of formation of the sum is $\tau_{AD2} = 3\tau_{PC} + 6\tau_{AD} = 9\tau_{LE}$;

According to Figure 9, the number of a single-digit adder is four. To build the first three digit adder with a conditional sum (Figure 7), you will need $(22 \times 3) + 4 + 6 = 76$ transistors. It will take 30 transistors to build a three-bit adder, represented in table 3. Then the total number of transistors is $N_3 = 76 + 76 + 30 = 182$ MOSFET transistors. The time of the formation of the amounts $\tau_{AD3} = 3\tau_{PCC} + 6\tau_{AD} = 6\tau_{LE}$.

A minimum number of 182 MOS transistors is required to build a four-bit adder based on conventional sum adders, but its performance is determined by the amount of delay - $9\tau_{LE}$.

Table 3. Gate Circuits and the Number Of MOS Transistors for Their Implementation

The symbol of the valves	Valve circuits	Number of transistors	The symbol	Valve circuits	Number of MOSFETs
 $\overline{A}$		2	 $\overline{A \vee B \vee C}$		6
 $\overline{A \vee B}$		4			
 $\overline{A \& B}$		4	 $A \& B$		6
			 $A \vee B$		6
 $\overline{A \& B \& C}$		6			6

Conclusion

Based on two and three input XOR circuits and a conditional sum adder and the formation of parallel carries, four-bit adders (SM_1 , SM_2 and SM_3) with parallel carries were obtained. Comparing them in terms of speed showed that the fastest effective of them is an adder of the SM_1 type, which is based on three-input XOR circuits. In terms of hardware costs (number of MOS transistors), will be built on the

basis of adders with a conditional sum. It is shown that on the basis of four bit adders it is possible to obtain a multi-bit binary adder with parallel-serial transfers.

REFERENCES

- K.H. Cheng, S.M. Chiang and S.W. Cheng (2021). «The improvement of conditional Sum adder for low power application» Speciate Integrated Circuits Conference, 2021. — Pp. 131–134
- A. Chandrakasan and Broensen (2015). «Minimizing power consumption in digital CMOS circuit», in Proceeding of the IEEE. — Vol. 83. 2015. — Pp. 498–523
- Cheng J., Chang S.M., Cheng S.W. (1998). «The improvement of conditional Sum adder low power applicatins» in Proceedings Conference, 1998. — Pp. 131–134.
- Harris D.M., Harris S.L. (2022). Digital Circuitry and Computer Architecture. Morgan Kaufman Publishing House, English Edition, 2022. — 947 p.
- I.S. Hwang and A.L. Fisher (2022). «Ultrafast compact 32-bit CMOS adders in multiple-output demine logic», IEE J. Solid-State Circuits. — Vol. 24. 2022. — Pp. 358–369
- Kuo-Hsing Cheng and Shun-Wen Cheng (2016). Improved 32-bit Conditional Sum Adder for Low-Power High-Speed *Applications Journal of Information Scineering*. — 22, 2016. — Pp. 975–989
- Nair A., Treiber J.M., Shukla D.K., Shih P., Müller R.A. (2018) Impaired thalamocortical connectivity in autism spectrum disorder: a study of functional and anatomical connectivity. *Brain*. 136. — Pp. 1942–55. doi: 10.1093/brain/awt079
- Ugryumov E.A. (2020). Digital circuit engineering. Textbook for Universities – 2nd ed. – SPB: BHV-Petersburg, 2020. — 800 p.
- Russo S.J., Nestler E.J. (2018). The brain reward circuitry in mood disorders. *Nat Rev Neurosci*. (2018). — 14:609–25. doi: 10.1038/nrn3381
- Timmermann D. and Kautz C. (2018). Investigating Student Learning of the Voltage and Potential Concepts in Intruductory Electrical Engineering. *Frontiers in Education Conference (FIE) Proceedings*. — Madrid. — Pp 1–4.
- Sazhina A.M. (2021). Digital Devices and Microprocessors: Textbook / A.M. Sazhina - 2nd ed. revised and additional. — M: Yurait, 2021. — 140 p.
- Sklsansky J. (1960). Conditional-Sam addition logic I&E Transactions on Electronic Computers. — Vol, EC-9. 1960. — Pp. 226–231.
- Tynymbaev S.T., Namazbaev T.A., Ibragimov K., Abdullaev M., Musiralieva Sh.Zh. (2023). Parallel adder with successive carries on adders with a conditional sum. RSE «National Institute of Intellectual Property». Patent. — No. 36249 for invention 02.06.2023
- Tynymbaev S.T., Abdullaev M. (2023). Adder on metal-oxide semiconductor transistors for multi-bit adders with successive carries. Patent. — No. 36325 for invention. RSE «National Institute of Intellectual Property». 11.08.2023
- Tynymbaev S.T., Abdullaev M.A. Musiralieva Sh.Zh. (2023). Adder on MOS transistors for multi-bit adders with successive carries. Patent. — No. 36324 for invention of the RSE «National Institute of Intellectual Property». 08/11/2023.



**ХАЛЫҚАРАЛЫҚ АҚПАРАТТЫҚ ЖӘНЕ
КОММУНИКАЦИЯЛЫҚ ТЕХНОЛОГИЯЛАР ЖУРНАЛЫ**

**МЕЖДУНАРОДНЫЙ ЖУРНАЛ ИНФОРМАЦИОННЫХ И
КОММУНИКАЦИОННЫХ ТЕХНОЛОГИЙ**

**INTERNATIONAL JOURNAL OF INFORMATION AND
COMMUNICATION TECHNOLOGIES**

Правила оформления статьи для публикации в журнале на сайте:

<https://journal.iitu.edu.kz>

ISSN 2708–2032 (print)

ISSN 2708–2040 (online)

Собственник: АО «Международный университет
информационных технологий» (Казахстан, Алматы)

ОТВЕТСТВЕННЫЙ РЕДАКТОР
Мрзабаева Раушан Жалиқызы

НАУЧНЫЙ РЕДАКТОР
Ермакова Вера Александровна

ТЕХНИЧЕСКИЙ РЕДАКТОР
Рашидинов Дамир Рашидинович

КОМПЬЮТЕРНАЯ ВЕРСТКА
Асанова Жадыра

Подписано в печать 15.06.2025.

Формат 60x881/8. Бумага офсетная. Печать - ризограф. 9,0 п.л. Тираж 100
050040 г. Алматы, ул. Манаса 34/1, каб. 709, тел: +7 (727) 244-51-09).

Издание Международного университета информационных технологий
Издательский центр КБТУ, Алматы, ул. Толе би, 59