

MINISTRY OF SCIENCE AND HIGHER EDUCATION OF THE REPUBLIC OF KAZAKHSTAN
ҚАЗАҚСТАН РЕСПУБЛИКАСЫНЫҢ ҒЫЛЫМ ЖӘНЕ ЖОҒАРЫ БІЛІМ МИНИСТРЛІГІ
МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РЕСПУБЛИКИ КАЗАХСТАН
KAZAKHSTAN



**INTERNATIONAL JOURNAL OF INFORMATION AND COMMUNICATION
TECHNOLOGIES**

Published since 2020.
Volume 7. 2 (26). 2026
April–June

**ХАЛЫҚАРАЛЫҚ АҚПАРАТТЫҚ ЖӘНЕ КОММУНИКАЦИЯЛЫҚ
ТЕХНОЛОГИЯЛАР ЖУРНАЛЫ**

2020 жылдан бері шығарылады
Том 7. 2 (26). 2026
Сәуір-Маусым

**МЕЖДУНАРОДНЫЙ ЖУРНАЛ ИНФОРМАЦИОННЫХ И
КОММУНИКАЦИОННЫХ ТЕХНОЛОГИЙ**

Издается с 2020 г.
Том 7. 2 (26). 2026
Апрель-Июнь

Свидетельство о постановке на учет периодического печатного издания в Министерство информации и общественного развития Республики Казахстан № KZ82VPY00020475, выданное от 20.02.2020 г.

Зарегистрировано в Международном центре регистрации серийных изданий ISSN (ЮНЕСКО, Париж, Франция). ISSN 2708–2032 (print), ISSN 2708–2040 (online)

Журнал входит в Перечень научных изданий, рекомендуемых КОКНВО МНВО РК для публикации основных результатов научной деятельности.

EDITOR-IN-CHIEF:

Kateryna Kolesnikova — Doctor of Technical Sciences, professor, Vice-Rector for Research, International Information Technology University (Kazakhstan)

DEPUTY EDITOR-IN-CHIEF:

Madina Ipalakova — Candidate of Technical Sciences, associate professor, Director of the Research Department, International Information Technology University (Kazakhstan)

EDITORIAL BOARD:

Abdul Razak — PhD, professor, Department of Cybersecurity, International Information Technology University (Kazakhstan)

Lucio Tommaso De Paolis — Director of the R&D Department of the AVR Laboratory, Department of Engineering for Innovation, University of Salento (Italy)

Liz Bacon — Professor, Deputy Vice-Chancellor, Abertay University (United Kingdom)

Michele Pagano — PhD, Professor, University of Pisa (Italy)

Mukhtarbay Otelbayev — Doctor of Physical and Mathematical Sciences, professor, academician of the National Academy of Sciences of the Republic of Kazakhstan, professor of the Department of Mathematical and Computer Modeling, International Information Technology University (Kazakhstan)

Bolatbek Rysbauly — Doctor of Physical and Mathematical Sciences, professor, professor of the Department of Computing and Data Science, Astana IT University (Kazakhstan)

Yevgeniya Daineko — PhD, research professor, Department of Information Systems, International Information Technology University (Kazakhstan)

Nurzhan Duzbayev — PhD, associate professor, Vice-Rector for Digitalization and Innovation, International Information Technology University (Kazakhstan)

Bakhtgerci Sinchev — Doctor of Technical Sciences, professor, Department of Information Systems, International Information Technology University (Kazakhstan)

Nurgul Seilova — Candidate of Technical Sciences, Dean of the Faculty of Computer Technologies and Cybersecurity, International Information Technology University (Kazakhstan)

Ardak Mukhamediyeva — Candidate of Economic Sciences, Dean of the Faculty of Business, Media and Management, International Information Technology University (Kazakhstan)

Zamira Abdikalikova — PhD, associate professor, Head of the Department of Mathematical and Computer Modeling, International Information Technology University (Kazakhstan)

Yerlan Shildibekov — PhD, associate professor, Head of the Department of Economics and Business, International Information Technology University (Kazakhstan)

Damilya Yeskendirowa — Candidate of Technical Sciences, associate professor, Head of the Department of Cybersecurity, International Information Technology University (Kazakhstan)

Aigul Niyazgulova — Candidate of Philological Sciences, Professor, Head of the Department of Media Communications and History of Kazakhstan, International Information Technology University (Kazakhstan)

Altai Aitmagambetov — Candidate of Technical Sciences, Professor, Department of Radio Engineering, Electronics and Telecommunications, International Information Technology University (Kazakhstan)

Yelena Bakhtiyarova — Candidate of Technical Sciences, associate professor, Head of the Department of Radio Engineering, Electronics and Telecommunications, International Information Technology University (Kazakhstan)

Kanibek Sansyrbay — PhD, research professor, Department of Cybersecurity, International Information Technology University (Kazakhstan)

Sakhybay Tynymbayev — Candidate of Technical Sciences, Professor, Research Professor, Department of Computer Engineering, International Information Technology University (Kazakhstan)

Ali Abd Almisreb — PhD, associate professor, Department of Cybersecurity, International Information Technology University (Kazakhstan)

Mohamed Ahmed Hamada — PhD, associate professor, Department of Information Systems, International Information Technology University (Kazakhstan)

Yang Im Chu — PhD, Professor, Gachon University (South Korea)

Tadeusz Wallas — PhD, Vice-Rector, Adam Mickiewicz University (Poland)

Orken Mamyrbayev — PhD, Deputy Director for Science, RSE Institute of Information and Computational Technologies, Committee for Science of the Ministry of Science and Higher Education of the Republic of Kazakhstan (Kazakhstan)

Sergey Bushuyev — Doctor of Technical Sciences, professor, Director of the Ukrainian Project Management Association "UKRNET," Head of the Department of Project Management, Kyiv National University of Construction and Architecture (Ukraine)

Svetlana Beloshitskaya — Doctor of Technical Sciences, professor, Department of Computing and Data Science, Astana IT University (Kazakhstan)

MANAGING EDITOR

Raushan Mrzabayeva — Master of Science, editor, International Information Technology University (Kazakhstan)

International Journal of Information and Communication Technologies

Periodicity: 4 times a year.

Languages: Kazakh, Russian, English

DOI prefix: 10.54309

ISSN 2708-2032 (print)

ISSN 2708-2040 (online)

Thematic focus: "Information technology"; "Digital technologies in the development of socio-economic systems"; "Information security and communication technologies".

Distribution: Materials are distributed under the Creative Commons Attribution 4.0

Journal website: <https://journal.iitu.edu.kz>

Owner: International Information Technology University JSC (Almaty).

Copyright: © International Journal of Information and Communication Technologies, 2026

РЕДАКЦИЯ

БАС РЕДАКТОР:

Колесникова Катерина Викторовна — техника ғылымдарының докторы, профессор, Халықаралық ақпараттық технологиялар университетінің ғылыми-зерттеу қызметі жөніндегі проректор (Қазақстан)

БАС РЕДАКТОРДЫҢ ОРЫНБАСАРЫ:

Ипалакова Мадина Тулегеновна — техника ғылымдарының кандидаты, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университетінің ғылыми-зерттеу қызметі жөніндегі департамент директоры (Қазақстан)

РЕДАКЦИЯЛЫҚ АЛҚА:

- Разак Абдул** — PhD, Халықаралық ақпараттық технологиялар университеті киберқауіпсіздік кафедрасының профессоры (Қазақстан)
Луччо Томмазо де Паолис — Саленто Университеті (Италия) инновация және технологиялық инжиниринг департаменті AVR зертханасының зерттеу және әзірлеу бөлімінің директоры
Лиз Бэкон — профессор, Абертей Университеті (Ұлыбритания) вице-канцлерінің орынбасары
Микеле Пагано — PhD, Пиза Университетінің (Италия) профессоры
Өтелбаев Мухтарбай Өтелбайұлы — физика-математика ғылымдарының докторы, профессор, ҚР ҰҒА академигі, Халықаралық ақпараттық технологиялар университеті математика және компьютерлік модельдеу кафедрасының профессоры (Қазақстан)
Рысбайұлы Болатбек — физика-математика ғылымдарының докторы, профессор, Есептеу және деректер ғылымдары департаментінің профессоры, Astana IT University (Қазақстан)
Дайнеко Евгения Александровна — PhD, Халықаралық ақпараттық технологиялар университеті ақпараттық жүйелер кафедрасының профессор-зерттеушісі (Қазақстан)
Дузаев Нуржан Тоқсуғаевич — PhD, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университеті цифрландыру және инновациялар жөніндегі проректор (Қазақстан)
Синчев Бахтгерей Куспанович — техника ғылымдарының докторы, профессор, Халықаралық ақпараттық технологиялар университеті ақпараттық жүйелер кафедрасының профессоры (Қазақстан)
Сейлова Нургуль Абдуллаевна — техника ғылымдарының докторы, Халықаралық ақпараттық технологиялар университеті компьютерлік технологиялар және киберқауіпсіздік факультетінің деканы (Қазақстан)
Мухамедиева Ардак Габитовна — экономика ғылымдарының кандидаты, Халықаралық ақпараттық технологиялар университеті бизнес-медиа және басқару факультетінің деканы (Қазақстан)
Абдикаликова Замира Турсынбаевна — PhD, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университеті математика және компьютерлік модельдеу кафедрасының меңгерушісі (Қазақстан)
Шильдибеков Ерлан Жаржанович — PhD, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университеті экономика және бизнес кафедрасының меңгерушісі (Қазақстан)
Дамелия Максустовна Ескендрова — техника ғылымдарының кандидаты, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университеті киберқауіпсіздік кафедрасының меңгерушісі (Қазақстан)
Ниязгулова Айгуль Аскарбековна — филология ғылымдарының кандидаты, доцент, профессор, Халықаралық ақпараттық технологиялар университеті медиакоммуникация және Қазақстан тарихы кафедрасының меңгерушісі (Қазақстан)
Айтмағамбетов Алтай Зуфарович — техника ғылымдарының кандидаты, Халықаралық ақпараттық технологиялар университеті радиотехника, электроника және телекоммуникация кафедрасының профессоры (Қазақстан)
Бахтиярова Елена Ажибековна — техника ғылымдарының кандидаты, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университеті радиотехника, электроника және телекоммуникация кафедрасының меңгерушісі (Қазақстан)
Канибек Сансызбай — PhD, қауымдастырылған профессор, Халықаралық ақпараттық технологиялар университеті киберқауіпсіздік кафедрасының профессор-зерттеушісі (Қазақстан)
Тынымбаев Сахибай — техника ғылымдарының кандидаты, профессор, Халықаралық ақпараттық технологиялар университеті компьютерлік инженерия кафедрасының профессор-зерттеушісі (Қазақстан)
Алмисреб Али Абд — PhD, Халықаралық ақпараттық технологиялар университеті киберқауіпсіздік кафедрасының қауымдастырылған профессоры (Қазақстан)
Мохамед Ахмед Хамада — PhD, Халықаралық ақпараттық технологиялар университеті ақпараттық жүйелер кафедрасының қауымдастырылған профессоры (Қазақстан)
Янг Им Чу — PhD, Гачон университетінің профессоры (Оңтүстік Корея)
Талеуш Валлас — PhD, Адам Мицкевич атындағы (Польша) университеттің проректоры
Мамырбаев Оркен Жумажанович — PhD, ҚР ҒЖБМ Ғылым комитеті ақпараттық және есептеу технологиялары институты ӨМК директорының ғылым жөніндегі орынбасары (Қазақстан)
Бушув Сергей Дмитриевич — техника ғылымдарының докторы, профессор, Украинаның "УКРНЕТ" жобаларды басқару қауымдастығының директоры, Киев ұлттық құрылыс және сулет университеті жобаларды басқару кафедрасының меңгерушісі (Украина)
Белюшицкая Светлана Васильевна — техника ғылымдарының докторы, доцент, Astana IT University есептеу және деректер ғылымы кафедрасының профессоры (Қазақстан)

ЖАУАПТЫ РЕДАКТОР:

Мрзабаева Раушан Жалиевна — магистр, Халықаралық ақпараттық технологиялар университетінің редакторы (Қазақстан)

Халықаралық ақпараттық және коммуникациялық технологиялар журналы

ISSN 2708–2032 (print)

ISSN 2708–2040 (online)

Префикс DOI: 10.54309

Мерзімділігі: жылына 4 рет.

Басылым тілі: қазақ, орыс, ағылшын.

Тақырып бағыты: "Ақпараттық технологиялар"; "Ақпараттық қауіпсіздік және коммуникациялық технологиялар"; "Әлеуметтік-экономикалық жүйелерді дамытудағы цифрлық технология".

Журнал сайты: <https://journal.iitu.edu.kz>

Тарату: материалдар Creative Commons Attribution 4.0 лицензиясы бойынша таратылады

Меншік иесі: АҚ «Халықаралық ақпараттық технологиялар университеті» (Алматы қ.).

Авторлық құқық: © Халықаралық ақпараттық және коммуникациялық технологиялар журналы, 2026

РЕДАКЦИЯ

ГЛАВНЫЙ РЕДАКТОР:

Колесникова Катерина Викторовна — доктор технических наук, профессор, проректор по научно-исследовательской деятельности Международного университета информационных технологий (Казахстан)

ЗАМЕСТИТЕЛЬ ГЛАВНОГО РЕДАКТОРА:

Ипалакова Мадина Тулегеновна — кандидат технических наук, ассоциированный профессор, директор департамента по научно-исследовательской деятельности Международного университета информационных технологий (Казахстан)

РЕДАКЦИОННАЯ КОЛЛЕГИЯ:

Разак Абдул — PhD, профессор кафедры кибербезопасности Международного университета информационных технологий (Казахстан)

Лучио Томмазо де Паолис — директор отдела исследований и разработок лаборатории AVR департамента инноваций и технологического инжиниринга Университета Саленто (Италия)

Лиз Бэкон — профессор, заместитель вице-канцлера Университета Абертей (Великобритания)

Микеле Пагано — PhD, профессор Университета Пизы (Италия)

Отелбаев Мухтарбай Отелбайулы — доктор физико-математических наук, профессор, академик НАН РК, профессор кафедры математического и компьютерного моделирования Международного университета информационных технологий (Казахстан)

Рысбайулы Болатбек — доктор физико-математических наук, профессор, профессор Astana IT University (Казахстан)

Дайнеко Евгения Александровна — PhD, профессор-исследователь кафедры информационных систем Международного университета информационных технологий (Казахстан)

Дузбаев Нуржан Токкужаевич — PhD, ассоциированный профессор, проректор по цифровизации и инновациям Международного университета информационных технологий (Казахстан)

Синчев Бахтгерей Куспанович — доктор технических наук, профессор, профессор кафедры информационных систем Международного университета информационных технологий (Казахстан)

Сейлова Нургуль Абадуллаевна — кандидат технических наук, декан факультета компьютерных технологий и кибербезопасности Международного университета информационных технологий (Казахстан)

Мухамедиева Ардак Габитовна — кандидат экономических наук, декан факультета бизнеса медиа и управления Международного университета информационных технологий (Казахстан)

Абдикаликова Замира Турсынбаевна — PhD, ассоциированный профессор, заведующая кафедрой математического и компьютерного моделирования Международного университета информационных технологий (Казахстан)

Шильдибеков Ерлан Жаржанович — PhD, ассоциированный профессор, заведующий кафедрой экономики и бизнеса Международного университета информационных технологий (Казахстан)

Дамелия Максугуона Ескендрова — кандидат технических наук, ассоциированный профессор, заведующая кафедрой кибербезопасности Международного университета информационных технологий (Казахстан)

Ниязгулова Айгуль Аскарбековна — кандидат филологических наук, доцент, профессор, заведующая кафедрой медиакоммуникации и истории Казахстана Международного университета информационных технологий (Казахстан)

Айтмагамбетов Алтай Зуфарович — кандидат технических наук, профессор кафедры радиотехники, электроники и телекоммуникаций Международного университета информационных технологий (Казахстан)

Бахтиярова Елена Ажибековна — кандидат технических наук, ассоциированный профессор, заведующая кафедрой радиотехники, электроники и телекоммуникаций Международного университета информационных технологий (Казахстан)

Канибек Сансызбай – PhD, ассоциированный профессор, профессор-исследователь кафедры кибербезопасности, Международного университета информационных технологий (Казахстан)

Тынымбаев Сахпай – кандидат технических наук, профессор, профессор-исследователь кафедры компьютерной инженерии, Международного университета информационных технологий (Казахстан)

Алимурабаев Али Абд — PhD, ассоциированный профессор кафедры кибербезопасности Международного университета информационных технологий (Казахстан)

Мохамед Ахмед Хамада — PhD, ассоциированный профессор кафедры информационных систем Международного университета информационных технологий (Казахстан)

Янг Им Чу — PhD, профессор университета Гачон (Южная Корея)

Тадеуш Валлас – PhD, проректор университета имен Адама Мицкевича (Польша)

Мамырбаев Оркен Жумажанович — PhD, заместитель директора по науке РГП Института информационных и вычислительных технологий Комитета науки МНВО РК (Казахстан)

Бушуев Сергей Дмитриевич — доктор технических наук, профессор, директор Украинской ассоциации управления проектами «УКРНЕТ», заведующий кафедрой управления проектами Киевского национального университета строительства и архитектуры (Украина)

Белошницкая Светлана Васильевна — доктор технических наук, доцент, профессор кафедры вычислений и науки о данных Astana IT University (Казахстан)

ОТВЕТСТВЕННЫЙ РЕДАКТОР:

Мрзабаева Раушан Жалиевна — магистр, редактор Международного университета информационных технологий (Казахстан)

Международный журнал информационных и коммуникационных технологий

ISSN 2708–2032 (print)

ISSN 2708–2040 (online)

Префикс DOI: 10.54309

Периодичность: 4 выпусков в год.

Язык издания: казахский, русский, английский.

Тематическая направленность: "Информационные технологии"; "Информационная безопасность и коммуникационные технологии"; "Цифровые технологии в развитии социально-экономических систем".

Сайт журнала: <https://journal.iitu.edu.kz>

Распространение: материалы распространяются по лицензии Creative Commons Attribution 4.0

Собственник: АО «Международный университет информационных технологий» (г. Алматы).

Авторские права: © Международный журнал информационных и коммуникационных технологий, 2026

CONTENTS

DIGITAL TECHNOLOGIES IN THE DEVELOPMENT OF SOCIO-ECONOMIC SYSTEMS

D. Abzhanova, A. Biloshchytski

A MODEL AND METHOD FOR MANAGING DATA ON EMISSIONS FROM STATIONARY SOURCES OF POLLUTION IN AN INTELLIGENT ENVIRONMENTAL MONITORING SYSTEM9

A. Slanbekova, M. Rakhimzhanova, A. Zhanibekova, A. Alimagambetova, M. Xudoyberganov

EARLY DETECTION OF HYDROLOGICAL HAZARDS BASED ON SPATIOTEMPORAL ANALYSIS25

INFORMATION TECHNOLOGY

F.N. Abdraimova, A.A. Kereibayeva, D.S. Dyussenova, D.A. Aliyeva, T.Zh. Toktarova

AI TECHNOLOGIES IN LANGUAGE EDUCATION: PRACTICAL ASPECTS AND CHALLENGES OF STUDENT USAGE36

G. Azieva, M. Yessenova, A. Abzhapparova, G. Abdikerimova, P. Schmidt

HYBRID STACKING FRAMEWORK FOR CROP CLASSIFICATION USING UAV DATA50

A.K. Aitim

JOINT MORPHOLOGICAL DISAMBIGUATION AND POS TAGGING FOR AGGLUTINATIVE LANGUAGES62

S.A. Yesniyazova, S.T. Kaimov

PREDICTIVE MAINTENANCE OF HEAVY-DUTY TRUCKS USING EXPLAINABLE MACHINE LEARNING78

T. Imanbekova, Zh. Ibrayeva, G. Jakanova, G. Askanbay

DATA COMPRESSION ALGORITHM BASED ON WAVELET TRANSFORMER; ANALYSIS AND IMPLEMENTATION IN MATLAB92

B.Z. Kenzhegulov, Zh.T. Bilyalova, K.N. Uteuliyeva, L. Nurgaliyeva, Sh.S. Nurzhanova

A MATHEMATICAL AND ALGORITHMIC APPROACH TO THE DEVELOPMENT OF AN INTELLIGENT TEXT-TO-SQL SYSTEM BASED ON LARGE LANGUAGE MODELS110

N.Sh. Maxutova, J.A. Tussupov, A.A. Shekerbek, Zh.E. Kenzhebayeva, Q.O. Rakhimov

MACHINE LEARNING FOR COMPREHENSIVE EVALUATION OF CARDIOVASCULAR DISEASE RISK AND BIOCHEMICAL ALTERATIONS: FOCUS ON ASPARTATE AMINOTRANSFERASE131

O.S. Salykova, V.A. Madin, B.R. Salykov, D.N. Komarov, N.V. Manuilov

INTEGRATION OF MEMS ACCELEROMETER SENSOR MODULES IN INDUSTRIAL MONITORING SYSTEMS146

R. Taberkhan, M.A. Sambetbayeva, G. Kalman

KAZCAUSAL: THE FIRST CORPUS-BASED ANNOTATION OF CAUSAL RELATIONSHIPS IN THE KAZAKH LANGUAGE160

S.Tynymbayev, S.E. Mamanova, R. Berdybayev, Zh.E. Temirbekova, T. Chinibayeva

DIVIDING DEVICES WITH PRELIMINARY PREPARATION OF MULTIPLES OF THE DIVISOR172

K.N. Uteuliyeva, B.Z. Kenzhegulov, T.A. Karazhigitova, H.İ. Bülbül, Z.Zh. Zhanuzakova

MATHEMATICAL AND ALGORITHMIC APPROACHES TO THE DEVELOPMENT OF A COLLABORATIVE FILTERING-BASED RECOMMENDER SYSTEM188

S. Sharmukhanbet, G. Turmukhanova, O. Findik, V. Makhatova, L. Kurmangazyeva

HIGH-PRECISION ROBOTIC ASSEMBLY UNDER VARIABLE ILLUMINATION: A ROBUST MECHATRONIC ARCHITECTURE FOR VISUAL SERVOING209

INFORMATION SECURITY AND COMMUNICATION TECHNOLOGIES

A. Amirbay, Z. Amanbaikyzy, K. Maxutova, A. Mukhanova, M. Kassim

MACHINE LEARNING ALGORITHM FOR EARLY DETECTION OF AUTISM SPECTRUM DISORDERS IN CHILDREN BASED ON MULTIMODAL ANALYSIS OF EYE MOVEMENTS AND FACIAL EXPRESSIONS227

K. Baisylbayeva, Sh. Mussiraliyeva, Zh. Yeltay

DETECTION OF EXTREMIST IDEOLOGY IN THE KAZAKH LANGUAGE: ANNOTATION CHALLENGES AND DEEP LEARNING APPROACHES242

M.A. Bolatbek, A.M. Usmanova, K.B. Bagitova, G.B. Baispay

DEVELOPMENT AND RESEARCH OF A METHOD FOR ANALYZING NETWORK TRAFFIC TO IDENTIFY A CYBER THREAT	261
D.I. Prokopovych-Tkachenko, N.K. Zhumagalieva, D.N. Shchytyov, N.F. Mormul, D.A. Cherkaskyi FUZZY MODEL FOR EVALUATING INFORMATION SECURITY PARAMETERS OF INFORMATION SYSTEMS UNDER INCOMPLETE AND QUALITATIVE DATA: CONSTRUCTION METHODOLOGY, RULE BASE TUNING, AND DEMONSTRATION CASE FOR ORGANIZATIONS	279
E.A. Pustovoy, O.A. Pustovaya, A.N. Raushanova, I.S. Zaurbekov EVALUATION OF THE EFFECTIVENESS OF SYNTHESIS OF STOCHASTIC MODELS WITH CONTROLLED PROPERTIES	305
Y. Serzhan, T. Umarov, A. Abilbayeva FRAUD DETECTION IN CREDIT CARD TRANSACTIONS USING MACHINE LEARNING: A COMPARATIVE ANALYSIS	321

МАЗМҰНЫ

ӘЛЕУМЕТТІК-ЭКОНОМИКАЛЫҚ ЖҮЙЕЛЕРДІ ДАМУДАҒЫ ЦИФРЛЫҚ ТЕХНОЛОГИЯЛАР

Д.Е. Абжанов, А.А. Белоощицкий ЭКОЛОГИЯЛЫҚ МОНИТОРИНГТІҢ ЗИЯТКЕРЛІК ЖҮЙЕСІНДЕГІ СТАЦИОНАРЛЫҚ ЛАСТАНУ КӨЗ-ДЕРІНІҢ ШЫҒАРЫНДЫЛАРЫ ТУРАЛЫ ДЕРЕКТЕРДІ БАСҚАРУДЫҢ МОДЕЛІ МЕН ӘДІСІ	9
А.Е. Сланбекова, М.Б. Рахимжанова, А.И. Жанибекова, А.З. Алимагамбетова, М. Худойбергенов КЕҢІСТІКТІК-УАҚЫТТЫҚ (SPATIOTEMPORAL) ТАЛДАУ НЕГІЗІНДЕ ГИДРОЛОГИЯЛЫҚ ҚАУІП-ҚАТЕРДІ ЕРТЕ АНЫҚТАУ	25

АҚПАРАТТЫҚ ТЕХНОЛОГИЯЛАР

Ф.Н. Абдраимова, А.А. Керейбаева, Д.С. Дюсенова, Д.А. Алиева, Т.Ж. Токтарова ТІЛ БІЛІМІНДЕ ЖАСАНДЫ ИНТЕЛЛЕКТ ТЕХНОЛОГИЯЛАРЫ: СТУДЕНТТЕР ҚОЛДАНУЫНЫҢ ПРАКТИКАЛЫҚ АСПЕКТІЛЕРІ МЕН МӘСЕЛЕЛЕРІ	36
Г.Т. Азиева, М.Б. Есенова, А.К. Абжаппарова, Г.Б. Абдикеримова, P. Schmidt UAV ДЕРЕКТЕРІ НЕГІЗІНДЕ АУЫЛ ШАРУАШЫЛЫҒЫ DAҚЫЛДАРЫН ЖІКТЕУГЕ АРНАЛҒАН ГИБРИДТІ СТЕКИНГ МОДЕЛІ	50
Ә.Қ. Әйтiм АГГЛЮТИНАТИВТІ ТІЛДЕРГЕ АРНАЛҒАН МОРФОЛОГИЯЛЫҚ ДИЗАМБИГУАЦИЯ МЕН POS-ТАҢ-БАЛАУДЫ БІРЛЕСІП МОДЕЛЬДЕУ	62
С.А. Есниязова, С.Т. Каимов ТҮСІНДІРІЛЕТІН МАШИНАЛЫҚ ОҚЫТУДЫ ҚОЛДАНА ОТЫРЫП АУЫР ЖҮК КӨЛІКТЕРІНЕ БОЛЖАМДЫ ТЕХНИКАЛЫҚ ҚЫЗМЕТ КӨРСЕТУ	78
Т.Д. Иманбекова, Ж.Б. Ибраева, Г.Т. Джаканова, Г.Т. Асқанбай МӨЛІМЕТТЕРДІ ВЕЙВЛЕТ-ТҮРЛЕНДІРГІШТІҢ НЕГІЗІНДЕ ҚЫСУ АЛГОРИТМІ; MATLAB ОРТАСЫНДА ТАЛДАУ ЖӘНЕ ІСКЕ АСЫРУ	92
Б.З. Кенжегулов, Ж.Т. Билялова, К.Н. Утеулиева, Л. Нурғалиева, Ш.С. Нуржанова ҮЛКЕН ТІЛДІК МОДЕЛЬДЕР НЕГІЗІНДЕ ИНТЕЛЛЕКТУАЛДЫ ТЕХТ-ТО-SQL ЖҮЙЕСІН ӨЗІРЛЕУДІҢ МАТЕМАТИКАЛЫҚ-АЛГОРИТМДІК ТӘСІЛІ	110
Н.Ш. Максұтова, Ж.А. Тусупов, А.Ә. Шекербек, Ж.Е. Кенжебаева, К.О. Рахимов ЖҮРЕК-ҚАН ТАМЫРЛАРЫ АУРУЛАРЫНЫҢ ҚАУІП-ҚАТЕРІН ЖӘНЕ БИОХИМИЯЛЫҚ ӨЗГЕРІСТЕРДІ КЕШЕНДІ БАҒАЛАУ ҮШІН МАШИНАЛЫҚ ОҚЫТУ: АСПАРТАМИНОТРАНСФЕРАЗАҒА ЕРЕКШЕ НАЗАР	131
О.С. Салықова, В.А. Мадин, Б.Р. Салықов, Д.Н. Комаров, Н.В. Мануилов ӨНЕРКӘСІПТІК МОНИТОРИНГ ЖҮЙЕЛЕРІНДЕГІ MEMS-АКСЕЛЕРОМЕТРЛЕРДІҢ СЕНСОРЛЫҚ МОДУЛЬДЕРІН ИНТЕГРАЦИЯЛАУ	146
Р. Таберхан, М.А. Самбетбаева, Г. Қалман KAZCAUSAL: ҚАЗАҚ ТІЛІНДЕГІ СЕБЕП-САЛДАРЛЫҚ ҚАТЫНАСТАРДЫҢ АЛҒАШҚЫ КОРПУСТЫҚ АННОТАЦИЯСЫ	160
С. Тынымбаев, С.Е. Маманова, Р. Бердібаев, Ж.Е. Темірбекова, Т. Чинибаева БӨЛГІШТІҢ ЕСЕЛІ МӘНДЕРІН АЛДЫН АЛА ДАЙЫНДАУМЕН ЖҮЗЕГЕ АСЫРЫЛАТЫН БӨЛУ ҚҰРЫЛҒЫЛАРЫ	172



К.Н. Утеулиева, Б.З. Кенжегулов, Т.А. Каражигитова, Х. Булбул, З.Ж. Жанузакова КОЛЛАБОРАТИВТІК СҮЗГІЛЕУ НЕГІЗІНДЕГІ ҰСЫНЫМДЫҚ ЖҮЙЕНІ ӨЗІРЛЕУДІҢ МАТЕМАТИКАЛЫҚ-АЛГОРИТМДІК ТӘСІЛДЕРІ	188
С. Шармуханбет, Г. Тұрмуханова, О. Финдик, В. Махатова, Л. Курмангазиева АЙНЫМАЛЫ ЖАРЫҚ ЖАҒДАЙЫНДАҒЫ ЖОҒАРЫ ДӘЛДІКТІ РОБОТТЫҚ ҚҰРАСТЫРУ: ВИЗУАЛДЫ СЕРВОТЕЖЕУДІҢ ТӨЗІМДІ МЕХАТРОНИКАЛЫҚ АРХИТЕКТУРАСЫ	209

АҚПАРАТТЫҚ ҚАУІПСІЗДІК ЖӘНЕ КОММУНИКАЦИЯЛЫҚ ТЕХНОЛОГИЯЛАРҒА АРНАЛҒАН

А. Амирбай, З. Аманбайқызы, К. МаксUTOBA, А. Муханова, М. Kassim КӨЗ ҚОЗҒАЛЫСТАРЫ МЕН БЕТ МИМИКА БЕЛГІЛЕРІН МУЛЬТИМОДАЛЬДЫ ТАЛДАУҒА НЕГІЗ- ДЕЛГЕН БАЛАЛАРДАҒЫ АУТИЗМ СПЕКТРІНІҢ БҰЗЫЛЫСТАРЫН ЕРТЕ АНЫҚТАУҒА АРНАЛҒАН МАШИНАЛЫҚ ОҚЫТУ АЛГОРИТМІ	227
К.Д. Байсылбаева, Ш.Ж. Мусиралиева, Ж. Елтай ҚАЗАҚ ТІЛІНДЕГІ ЭКСТРЕМИСТІК ИДЕОЛОГИЯНЫ АНЫҚТАУ: АННОТАЦИЯЛАУ МӘСЕЛЕЛЕРІ ЖӘНЕ ТЕРЕҢ ОҚЫТУ ТӘСІЛДЕРІ	242
М.А. Болатбек, А.М. Усманова, Қ.Б. Багитова, Г.Б. Байспай КИБЕР ҚАУІПТІ АНЫҚТАУ ҮШІН ЖЕЛІЛІК ТРАФИКТІ ТАЛДАУ ӘДІСІН ӨЗІРЛЕУ ЖӘНЕ ЗЕРТТЕУ	261
Д.И. Прокопович-Ткаченко, Н.К. Жумагалиева, Д.Н. Щитов, Н.Ф. Мормуль, Д.А. Черкасский ТОЛЫҚ ЕМЕС ЖӘНЕ САПАЛЫҚ ДЕРЕКТЕР ЖАҒДАЙЫНДА АҚПАРАТТЫҚ ЖҮЙЕЛЕРДІҢ АҚПА- РАТТЫҚ ҚАУІПСІЗДІК ПАРАМЕТРЛЕРІН БАҒАЛАУДЫҢ БҰЛЫҢҒЫР МОДЕЛІ: ҚҰРУ ӘДІСТЕМЕСІ, ЕРЕЖЕЛЕР БАЗАСЫН БАПТАУ ЖӘНЕ ҰЙЫМДАРҒА АРНАЛҒАН ДЕМОНСТРАЦИЯЛЫҚ КЕЙС	279
Е.А. Пустовой, О.А. Пустовая, А.Н. Раушанова, И.С. Заурбеков БАСҚАРЫЛАТЫН ҚАСИЕТТЕРІ БАР СТОХАСТИКАЛЫҚ МОДЕЛЬДЕРДІ СИНТЕЗДЕУДІҢ ТИМДІЛІГІН БАҒАЛАУ	305
Е. Сержан, Т. Умаров, А. Әбілбаева МАШИНАЛЫҚ ОҚУ ӘДІСІ АРҚЫЛЫ КРЕДИТ КАРТА ОПЕРАЦИЯЛАРЫНДАҒЫ АЛАЯҚТЫҚТЫ АНЫҚТАУ: САЛЫСТЫРМАЛЫ ТАЛДАУ	321

СОДЕРЖАНИЕ

ЦИФРОВЫЕ ТЕХНОЛОГИИ В РАЗВИТИИ СОЦИО-ЭКОНОМИЧЕСКИХ СИСТЕМ

Д.Е. Абжанова, А.А. Белошицкий МОДЕЛЬ И МЕТОД УПРАВЛЕНИЯ ДАННЫМИ О ВЫБРОСАХ СТАЦИОНАРНЫХ ИСТОЧНИКОВ ЗАГРЯЗНЕНИЯ В ИНТЕЛЛЕКТУАЛЬНОЙ СИСТЕМЕ ЭКОЛОГИЧЕСКОГО МОНИТОРИНГА	9
А.Е. Сланбекова, М.Б. Рахимжанова, А.И. Жанибекова, А.З. Алимагамбетова, М. Худойбергенов РАННЕЕ ВЫЯВЛЕНИЕ ГИДРОЛОГИЧЕСКИХ ОПАСНОСТЕЙ НА ОСНОВЕ ПРОСТРАНСТВЕННО- ВРЕМЕННОГО (SPATIOTEMPORAL) АНАЛИЗА	25

ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ

Ф.Н. Абдраимова, А.А. Керейбаева, Д.С. Дюсенова, Д.А. Алиева, Т.Ж. Токтарова ТЕХНОЛОГИИ ИИ В ЯЗЫКОВОМ ОБРАЗОВАНИИ: ПРАКТИЧЕСКИЕ АСПЕКТЫ И ПРОБЛЕМЫ ПРИМЕНЕНИЯ СТУДЕНТАМИ	36
Г.Т. Азиева, М.Б. Есенова, А.К. Абжаппарова, Г.Б. Абдикеримова, P. Schmidt ГИБРИДНАЯ МОДЕЛЬ СТЕКИНГА ДЛЯ КЛАССИФИКАЦИИ СЕЛЬСКОХОЗЯЙСТВЕННЫХ КУЛЬТУР ПО ДАННЫМ UAV	50
Ә.Қ. Әйтiм СОВМЕСТНАЯ МОРФОЛОГИЧЕСКАЯ ДИЗАМБИГУАЦИЯ И POS-РАЗМЕТКА ДЛЯ АГГЛЮТИНАТИВНЫХ ЯЗЫКОВ	62
С.А. Есниязова, С.Т. Каимов ПРЕДИКТИВНОЕ ТЕХНИЧЕСКОЕ ОБСЛУЖИВАНИЕ ТЯЖЁЛЫХ ГРУЗОВИКОВ С ИСПОЛЬЗОВАНИ- ЕМ ОБЪЯСНИМОГО МАШИННОГО ОБУЧЕНИЯ	78
Т.Д. Иманбекова, Ж.Б. Ибраева, Г.Т. Джаканова, Г.Т. Асқанбай	

АЛГОРИТМ СЖАТИЯ ДАННЫХ НА ОСНОВЕ ВЕЙВЛЕТ-ПРЕОБРАЗОВАТЕЛЯ: АНАЛИЗ И РЕАЛИЗАЦИЯ В МАТЛАВ	92
Б.З. Кенжегулов, Ж.Т. Билялова, К.Н. Утеулиева, Л. Нургалиева, Ш.С. Нуржанова МАТЕМАТИКО-АЛГОРИТМИЧЕСКИЙ ПОДХОД К РАЗРАБОТКЕ ИНТЕЛЛЕКТУАЛЬНОЙ TEXT-TO-SQL СИСТЕМЫ НА ОСНОВЕ БОЛЬШИХ ЯЗЫКОВЫХ МОДЕЛЕЙ	110
Н.Ш. МаксUTOва, Д.А. Тусупов, А.А. Шекербек, Ж.Е. Кенжебаева, К.О. Рахмтов МАШИННОЕ ОБУЧЕНИЕ ДЛЯ КОМПЛЕКСНОЙ ОЦЕНКИ РИСКА СЕРДЕЧНО-СОСУДИСТЫХ ЗАБОЛЕВАНИЙ И БИОХИМИЧЕСКИХ ИЗМЕНЕНИЙ: АКЦЕНТ НА АСПАРТАМИНОТРАНСФЕРАЗЕ ...	131
О.С. Салыкова, В.А. Мадин, Б.Р. Салыков, Д.Н. Комаров, Н.В. Мануйлов ИНТЕГРАЦИЯ СЕНСОРНЫХ МОДУЛЕЙ MEMS-АКСЕЛЕРОМЕТРОВ В СИСТЕМАХ ПРОМЫШЛЕННОГО МОНИТОРИНГА	146
Р. Таберхан, М.А. Самбетбаева, Г. Калман KAZCAUSAL: ПЕРВАЯ КОРПУСНАЯ АННОТАЦИЯ ПРИЧИННО-СЛЕДСТВЕННЫХ СВЯЗЕЙ НА КАЗАХСКОМ ЯЗЫКЕ	160
С. Тынымбаев, С.Е. Маманова, Р. Бердибаев, Ж.Е. Темирбекова, Т. Чинибаева УСТРОЙСТВА ДЕЛЕНИЯ ЧИСЕЛ С ПРЕДВАРИТЕЛЬНОЙ ПОДГОТОВКОЙ КРАТНЫХ ДЕЛИТЕЛЮ	172
К.Н. Утеулиева, Б.З. Кенжегулов, Т.А. Каражигитова, Х.Бюльбюль, З.Ж. Жанузакова МАТЕМАТИКО-АЛГОРИТМИЧЕСКИЕ ПОДХОДЫ К РАЗРАБОТКЕ РЕКОМЕНДАТЕЛЬНОЙ СИСТЕМЫ НА ОСНОВЕ КОЛЛАБОРАТИВНОЙ ФИЛЬТРАЦИИ	188
С. Шармуханбет, Г. Турмуханова, О.Финдик, В.Махатова, Л. Курмангазиева ВЫСОКОТОЧНАЯ РОБОТИЗИРОВАННАЯ СБОРКА ПРИ ПЕРЕМЕННОЙ ОСВЕЩЁННОСТИ: РОБАСТНАЯ МЕХАТРОННАЯ АРХИТЕКТУРА ВИЗУАЛЬНОГО СЕРВОУПРАВЛЕНИЯ	209

ИНФОРМАЦИОННАЯ БЕЗОПАСНОСТЬ И КОММУНИКАЦИОННЫЕ ТЕХНОЛОГИИ

А. Амирбай, З. Аманбайкызы, К. МаксUTOва, А. Муханова, М. Kassim АЛГОРИТМ МАШИННОГО ОБУЧЕНИЯ ДЛЯ РАННЕГО ВЫЯВЛЕНИЯ РАССТРОЙСТВ АУТИСТИЧЕСКОГО СПЕКТРА У ДЕТЕЙ НА ОСНОВЕ МУЛЬТМОДАЛЬНОГО АНАЛИЗА ДАННЫХ ДВИЖЕНИЯ ГЛАЗ И МИМИЧЕСКИХ СИГНАЛОВ	227
К.Д. Байсылбаева, Ш.Ж. Мусиралиева, Ж.Елтай ОБНАРУЖЕНИЕ ЭКСТРЕМИСТСКОЙ ИДЕОЛОГИИ НА КАЗАХСКОМ ЯЗЫКЕ: ПРОБЛЕМЫ АННОТИРОВАНИЯ И МЕТОДЫ ГЛУБОКОГО ОБУЧЕНИЯ	242
М.А. Болатбек, А.М. Усманова, К.Б. Багитова, Г.Б. Байспай РАЗРАБОТКА И ИССЛЕДОВАНИЕ МЕТОДА АНАЛИЗА СЕТЕВОГО ТРАФИКА ДЛЯ ВЫЯВЛЕНИЯ КИБЕРУГРОЗЫ	261
Д.И. Прокопович-Ткаченко, Н.К. Жумагалиева, Д.Н. Щитов, Н.Ф. Мормуль, Д.А. Черкасский НЕЧЕТКАЯ МОДЕЛЬ ОЦЕНИВАНИЯ ПАРАМЕТРОВ ИНФОРМАЦИОННОЙ БЕЗОПАСНОСТИ ИНФОРМАЦИОННЫХ СИСТЕМ В УСЛОВИЯХ НЕПОЛНЫХ И КАЧЕСТВЕННЫХ ДАННЫХ: МЕТОДИКА ПОСТРОЕНИЯ, НАСТРОЙКА БАЗЫ ПРАВИЛ И ДЕМОСТРАЦИОННЫЙ КЕЙС ДЛЯ ОРГАНИЗАЦИЙ	279
Е.А. Пустовой, О.А. Пустовая, А.Н. Раушанова, И.С. Заурбеков ОЦЕНКА ЭФФЕКТИВНОСТИ СИНТЕЗА СТОХАСТИЧЕСКИХ МОДЕЛЕЙ С УПРАВЛЯЕМЫМИ СВОЙСТВАМИ	305
Е. Сержан, Т. Умаров, А. Абилябаева ВЫЯВЛЕНИЕ МОШЕННИЧЕСТВА С ИСПОЛЬЗОВАНИЕМ МАШИННОГО ОБУЧЕНИЯ ПРИ ОПЕРАЦИЯХ С КРЕДИТНЫМИ КАРТАМИ: СРАВНИТЕЛЬНЫЙ АНАЛИЗ	321



INTERNATIONAL JOURNAL OF INFORMATION AND COMMUNICATION TECHNOLOGIES
ISSN 2708–2032 (print)
ISSN 2708–2040 (online)
Vol. 7. Is.2. Number 26 (2026). Pp. 172–187
Journal homepage: <https://journal.iitu.edu.kz>
<https://doi.org/10.54309/IJICT.2026.26.2.012>
IRSTI / FTAXP / MPHTI 50.33.03
UDK 004.89

DIVIDING DEVICES WITH PRELIMINARY PREPARATION OF MULTIPLES OF THE DIVISOR

*S. Tynymbayev*¹, *S.E. Mamanova*^{1*}, *R. Berdybayev*², *Zh.E. Temirbekova*³,
*T. Chinibayeva*¹

¹International Information Technology University, Almaty, Kazakhstan;

²Almaty University of Power Engineering and Telecommunications named after Gumarbek Daukeyev, Almaty, Kazakhstan;

³Al-Farabi Kazakh National University, Almaty, Kazakhstan.

E-mail: s.mamanova@iitu.edu.kz

Sakhybay Tynymbayev — PhD, Professor of the Department «Computer Engineering», International Information Technology University, Almaty, Kazakhstan

<https://orcid.org/0000-0002-9326-9476>;

Symbat E. Mamanova — PhD student, senior lecturer of the Department «Computer Engineering», International Information Technology University, Almaty, Kazakhstan

E-mail: s.mamanova@iitu.edu.kz, <https://orcid.org/0009-0001-7277-5492>;

Rat Berbydayev — PhD, Associate Professor of the Department of Cybersecurity of the Institute of Automation and Information Technologies, Almaty University of Power Engineering and Telecommunications named after Gumarbek Daukeyev, Almaty, Kazakhstan

<https://orcid.org/0000-0002-8341-9645>;

Zhanerke E. Temirbekova — PhD, Al-Farabi Kazakh National University, Almaty, Kazakhstan

<https://orcid.org/0000-0003-3909-0210>;

Tolganay Chinibayeva — PhD, Associate Professor of the Department «Computer Engineering», International Information Technology University, Almaty, Kazakhstan

<https://orcid.org/0000-0002-2657-3697>.

© S. Tynymbayev, S.E. Mamanova, R. Berdybayev, Zh.E. Temirbekova, T. Chinibayeva

Abstract. The paper presents a division device for integers that generates a remainder and two quotient digits per clock cycle. To enable this, both forward and inverse codes of values that are multiples of the divisor (B, 2B, and 3B) are precomputed and stored in a dedicated quotient register block. During each iteration, the previous partial remainder is left-shifted by two bits (i.e.,) and compared against the stored multiples. The closest match



is selected and subtracted from , yielding the next partial remainder . Based on the selected multiple, the corresponding two digits of the quotient are also determined. These operations are carried out within the Partial Remainder and Quotient Bit Generation Block (GPRaQB). The proposed architecture enables implementation of the divider using sequential, matrix-based, or pipelined circuit structures. This study focuses on dividers implemented using sequential circuits. The correctness of the proposed method is validated both through a worked example and simulation on Field-Programmable Gate Arrays (FPGAs).

Keywords: multiples of the divisor, remainder shaper, quotient digit shaper, sequential divisor

For citation: S. Tynymbayev, S.E. Mamanova, R. Berdybayev, Zh.E. Temirbekova, T. Chinibayeva (2026). Dividing devices with preliminary preparation of multiples of the divisor // International journal of information and communication technologies. Vol. 7. No. 26. Pp. 172–187. <https://doi.org/10.54309/IJICT.2026.26.2.012>. (In Eng.).

Conflict of interest: The authors declare that there is no conflict of interest.

БӨЛГІШТІҢ ЕСЕЛІ МӘНДЕРІН АЛДЫН АЛА ДАЙЫНДАУМЕН ЖҮЗЕГЕ АСЫРЫЛАТЫН БӨЛУ ҚҰРЫЛҒЫЛАРЫ

С. Тынымбаев¹, С.Е. Маманова^{1}, Р. Бердібаев², Ж.Е. Темірбекова³, Т. Чинибаева¹*

¹Халықаралық ақпараттық технологиялар университеті, Алматы, Қазақстан;

²Ғұмарбек Дәукеев атындағы Алматы энергетика және телекоммуникациялар университеті, Алматы, Қазақстан;

³Әл-Фараби атындағы Қазақ ұлттық университеті, Алматы, Қазақстан.

E-mail: s.mamanova@iitu.edu.kz

Сахыбай Тынымбаев — PhD, «Компьютерлік инженерия» кафедрасының Профессоры, Халықаралық ақпараттық технологиялар университеті, Алматы, Қазақстан
<https://orcid.org/0000-0002-9326-9476>;

Сымбат Е. Маманова — PhD докторант, «Компьютерлік инженерия» кафедрасының сениор-лекторы, Халықаралық Ақпараттық Технологиялар университеті, Алматы, Қазақстан

E-mail: s.mamanova@iitu.edu, <https://orcid.org/0009-0001-7277-5492>;

Рат Бердібаев — PhD, Ғұмарбек Дәукеев атындағы Алматы энергетика және байланыс университетінің Автоматтандыру және ақпараттық технологиялар институтының Киберқауіпсіздік кафедрасының қауымдастырылған профессоры, Алматы, Қазақстан
<https://orcid.org/0000-0002-8341-9645>

Жанерке Е. Темірбекова — PhD, Әл-Фараби атындағы Қазақ ұлттық университеті, Алматы, Қазақстан

<https://orcid.org/0000-0003-3909-0210>;

Толғанай Чинибаева — PhD, «Компьютерлік инженерия» кафедрасының қауымдастырылған профессоры, Халықаралық ақпараттық технологиялар университеті, Ал-

маты, Қазақстан

<https://orcid.org/0000-0002-2657-3697>.

© С. Тынымбаев, С.Е. Маманова, Р. Бердібаев, Ж.Е. Темірбекова, Т. Чинибаева

Аннотация. Мақалада бүтін сандарға арналған бөлгіш құрылғысы ұсынылады, ол әр сағаттық циклде қалдық пен бөліндінің екі цифрын қалыптастырады. Ол үшін бөлгіштің еселі мәндерінің (В, 2В, 3В) тура және кері кодтары алдын ала есептеліп, арнайы регистрге сақталады. Әр итерацияда алдыңғы қалдық екі разрядқа солға ығыстырылады () және алдын ала есептелген мәндермен салыстырылады. Ең жақын мән таңдалып, мәнінен алынып тасталады да, жаңа қалдық есептеледі. Таңдалған мәнге сәйкес бөліндінің екі цифры анықталады. Бұл операциялар қалдық пен бөлінді цифрларын қалыптастыру блогында (GPRaQB) жүзеге асырылады. Ұсынылған архитектура бөлгішті тізбекті, матрицалық немесе конвейерлік схемаларда жүзеге асыруға мүмкіндік береді. Бұл жұмыста тізбекті схемалар негізінде жүзеге асырылған бөлгіштер қарастырылады. Ұсынылған әдістің дұрыстығы мысал арқылы және FPGA платформасында модельдеу арқылы тексерілді.

Түйінді сөздер: бөлгіштің еселі мәндері, қалдықты қалыптастырушы, бөлінді цифрларын қалыптастырушы, тізбекті бөлгіш

Дәйексөздер үшін: С. Тынымбаев, С.Е. Маманова, Р. Бердібаев, Ж.Е. Темірбекова, Т. Чинибаева (2026). Бөлгіштің еселі мәндерін алдын ала дайындаумен жүзеге асырылатын бөлу құрылғылары // Халықаралық ақпараттық және коммуникалық технологиялар журналы. Т. 7. No. 26. Б. 172–187. <https://doi.org/10.54309/IJICT.2026.26.2.012>. (Ағыл. тіл.).

Мүдделер қақтығысы: Авторлар осы мақалада мүдделер қақтығысы жоқ деп мәлімдейді.

УСТРОЙСТВА ДЕЛЕНИЯ ЧИСЕЛ С ПРЕДВАРИТЕЛЬНОЙ ПОДГОТОВКОЙ КРАТНЫХ ДЕЛИТЕЛЮ

С. Тынымбаев¹, С.Е. Маманова^{1}, Р. Бердибаев², Ж.Е.Темірбекова³, Т. Чинибаева¹*

¹Международный университет информационных технологий, Алматы, Казахстан;

²Алматинский университет энергетики и телекоммуникаций имени

Гумарбека Даукеева, Алматы, Казахстан;

³Казахский национальный университет имени аль-Фараби, г. Алматы, Казахстан.

E-mail: s.mamanova@iitu.edu.kz

Сахыбай Тынымбаев — PhD, профессор кафедры «Компьютерная инженерия», Международный университет информационных технологий, Алматы, Казахстан

<https://orcid.org/0000-0002-9326-9476>;

Сымбат Е. Маманова — докторант PhD, сениор-лектор кафедры «Компьютерная инженерия», Международный университет информационных технологий, Алматы,



Казахстан

E-mail: s.mamanova@iitu.edu.kz, <https://orcid.org/0009-0001-7277-5492>;

Рат Бердибаев — PhD, Ассоциированный профессор кафедры Кибербезопасности Института автоматизации и информационных технологий Алматинского университета энергетики и телекоммуникаций имени Гумарбека Даукеева, Алматы, Казахстан <https://orcid.org/0000-0002-8341-9645>;

Жанерке Е. Темирбекова — PhD, Казахский национальный университет имени аль-Фараби, Алматы, Казахстан <https://orcid.org/0000-0003-3909-0210>;

Толганай Чинибаева — PhD, Ассоциированный профессор кафедры «Компьютерная инженерия», Международный университет информационных технологий, Алматы, Казахстан <https://orcid.org/0000-0002-2657-3697>.

© С. Тынымбаев, С.Е. Маманова, Р. Бердибаев, Ж.Е. Темирбекова, Т. Чинибаева

Аннотация. Рассматривается устройство деления целых чисел, где в каждом цикле деления формируется остаток и два разряда частного. Для этого в блоке регистра частного предварительно подготавливаются прямые и обратные коды чисел кратные к делителю. Для вычисления текущих остатков и формирования разрядов частного предыдущего остатка сдвигаются на два разряда влево (4), которые сравниваются со всеми значениями кратного $3B$, $2B$ и B и выделяется одно из них. Затем путем вычитания этого числа из 4 вычисляется частичный остаток. По выделенному остатку так же формируются разряды остатка. Вычисления частичного остатка и разрядов частного осуществляется в блоке формирования частичного остатка и разрядов частного (ФЧОиРЧ). На основе ФЧОиРЧ можно построить делители на последовательных и матричных схемах и на схемах с конвейерной структурой. В данной работе рассматриваются делители на последовательных схемах. Проверка правильности функционирования этих устройств осуществляется на конкретном примере и путем моделирования их на программируемых логических матрицах (ПЛИС).

Ключевые слова: числа кратные делителю, формирователь остатков, формирователь разрядов частного, делитель последовательного действия.

Для цитирования: С. Тынымбаев, С.Е. Маманова, Р. Бердибаев, Ж.Е. Темирбекова, Т. Чинибаева (2026). Устройства деления чисел с предварительной подготовкой кратных делителю // Международный журнал информационных и коммуникационных технологий. Т. 7. No. 26. Стр. 172–187. <https://doi.org/10.54309/IJICT.2026.26.2.012>. (На англ.).

Конфликт интересов: авторы заявляют об отсутствии конфликта интересов.

Introduction.

Integer division remains a fundamental operation in digital computing, particularly in applications involving digital arithmetic, signal processing, and embedded system design.



As the demand for high-throughput and low-latency computational systems increases, there is a growing need for efficient division algorithms that can be readily implemented in hardware. Conventional division methods, while accurate, often incur significant latency and hardware overhead, especially when executed iteratively with single-bit quotient generation per cycle.

This study proposes a novel hardware-oriented approach to integer division that produces two quotient digits per clock cycle, significantly improving computational efficiency. The technique relies on the precomputation of both forward and inverse codes for values that are multiples of the divisor (namely, B , $2B$, and $3B$), which are stored in a dedicated register block. During each division cycle, the previous partial remainder R_{i-1} is shifted left by two bits (i.e., $R_{i-1} \ll 2$) and compared against the precomputed multiples. The closest matching multiple is selected and subtracted from the shifted remainder to compute the new partial remainder R_i . Concurrently, two quotient digits q_i and q_{i-1} are generated based on this operation.

These calculations are executed within a custom logic unit, the Partial Remainder and Quotient Digit Generation Block (GPRaQB). The architecture enables the implementation of division units using sequential, matrix-based, or pipelined circuit designs, offering flexibility for various hardware applications. In this work, the focus is placed on sequential circuit implementation. The functionality and correctness of the proposed design are verified through both analytical evaluation and hardware simulation using Field-Programmable Gate Arrays (FPGAs). The results demonstrate that the proposed method provides a reliable and resource-efficient solution for high-performance integer division in digital systems.

Materials and methods.

Unlike addition and multiplication, methods for accelerating integer division have historically received comparatively less attention. This can be attributed to two main factors: first, the inherently sequential nature of the division process, wherein each new quotient digit and partial remainder depends on the outcome of the preceding step; and second, the relatively low frequency of division operations in many computational tasks. However, with the widespread adoption of high-speed addition and multiplication units in modern processors, unoptimised division operations increasingly become a performance bottleneck, necessitating the development of efficient hardware division techniques.

Numerous architectures have been proposed to improve the performance of hardware division units. Traditional digitrecurrence schemes, built on the SRT algorithm family, remain foundational in modern designs. SRT methods iteratively shift the partial remainder and conditionally update it via addition or subtraction of the divisor, reducing arithmetic operations through signed-digit quotient sets (Harris et al., 1997). Comprehensive treatments of these algorithms and their hardware implications are found in canonical texts (Koren, 2017; Parhami, 2010).

Extensions of SRT to higher radices, such as Radix4 and Radix8, enable the generation of multiple quotient bits per cycle, thereby reducing total iteration counts. However, this advantage often incurs greater hardware complexity, particularly in quotient selection logic and lookup tables, which grow significantly with the radix size (Gorodecky et al., 2023; Liu

et al., 2025). Early work demonstrated that highradix implementations impose substantial memory demands, which can offset iteration gains in some applications (Taylor, 1985).

Beyond classical digitrecurrence schemes, alternative highspeed division methods have emerged. Hybrid approaches combining Goldschmidt and Mitchell algorithms have been shown to achieve high throughput with efficient hardware resource utilization, particularly on FPGA platforms (Yang, 2025). Likewise, binary logarithmbased division architectures with pipelined stages and errorcorrection structures offer reduced logic complexity while maintaining precision (Ngo et al., 2025).

FPGAoriented design explorations, such as those reconsidering integer divider structures for soft processors and embedded systems, further illustrate the variety of modern implementation strategies (Matthews et al., 2019). Energyefficient approximate logarithmic dividers for integrated circuits also demonstrate favorable tradeoffs in area and performance (Arya et al., 2022).

Matrixbased division schemes use arrays of adders to compute partial remainders and quotient bits in parallel. While these designs can offer low latency and inherent parallelism, their main limitation is the generation of only one quotient bit per row, constraining throughput in highperformance systems (Nikmehr et al., 2007, Nand et al., 2023). Comprehensive comparisons of matrix and iterative architectures highlight the tradeoffs between parallelism, resource usage, and speed (Obshta et al., 2024).

Recent innovations also include datadependent divider designs optimized for areacritical applications, illustrating how adaptive hardware structures can improve efficiency (Patankar et al., 2023). Scalable constant division architectures tailored for FPGA implementation provide further evidence of ongoing efforts to balance performance and hardware cost (Gorodecky et al., 2023).

Across these studies, the central challenge remains the tradeoff between iteration count, hardware complexity, and resource usage, motivating continued architectural innovations in divider design.

As presented in J. E. Tornton: 1955 (US Patent 3,293,418), an enhanced division unit is described that produces two quotient digits q_i, q_{i-1} and the corresponding next partial remainder during each division cycle. The system architecture includes:

- A register for the dividend ,
- A register for the divisor , and
- A two-bit left-shift chain embedded in the dividend register.

Upon completion of the division process, the upper bits of the dividend register contain the remainder , while the lower bits store the final quotient .

Computation of Multiples and Remainder.

To accelerate the division process, the architecture leverages the preparation of multiples of the divisor: $B, 2B, 3B$. These are computed as follows:

- $2B$ is obtained by a single-bit left shift of the value stored in the divisor register B ,
- $3B$ is calculated by summing $B+2B$ using a dedicated binary adder,
- Inverted values $\bar{B}, \bar{2B}, \bar{3B}$ are derived by inverting outputs from the

respective blocks (using NOT gates).

These prepared values are used to compute subtraction candidates during each cycle: $4R_{i-1}, 4R_{i-1} - B, 4R_{i-1} - 2B, 4R_{i-1} - 3B$ where $4R_{i-1}$ is the result of shifting the previous remainder two bits to the left.

The proposed divider architecture is equipped with three binary adders for computing the required subtractions and a combinational logic unit composed of AND, OR, and NOT gates to process sign information and select valid outcomes. These components work in tandem to determine the appropriate partial remainder and generate two quotient digits per cycle. However, this implementation is hardware-intensive due to the inclusion of four full binary adders, leading to increased logic area and power consumption. To mitigate this drawback, recent design improvements aim to retain the use of precomputed multiples while replacing a portion of the adders with comparator circuits. This hybrid approach effectively reduces hardware complexity without compromising the throughput advantages of producing two quotient digits per cycle. As such, the divider represents a class of high-speed division units with preloaded multiplicands and optimized arithmetic-logical structures for enhanced efficiency in digital systems.

Table 1 – Division Architectures Comparison

Architecture	Quotient Digits per Cycle	Iteration Count (n-bit division)	Hardware Complexity	Memory	Speed	Flexibility
Classical Sequential (1-bit)	1	n	Low	Low	Low	High
SRT Radix-2	1	n	Medium	Medium		Medium
SRT Radix-4	2	n/2	High	High	High	Medium
SRT Radix-8	3	n/3	Very High	Very High	Very High	Low
Matrix Division	1	n	Very High	Low		Low
Proposed Architecture: Precomputed Multiples Divider (2-bit)	2	n/2	High	Medium	High	Medium

As shown in Table 1, a comparative analysis of different divider architectures highlights the trade-offs between iteration count, hardware complexity, and overall performance. While traditional sequential and Radix-2 SRT methods offer simplicity and low hardware demands, they suffer from higher latency due to single-bit quotient generation per cycle. High-radix SRT implementations (e.g., Radix-8 and Radix-16) significantly reduce iteration counts but at the cost of increased memory usage and complex digit selection logic, which complicates implementation and scaling.

In contrast, the proposed architecture-Precomputed Multiples Divider (2-bit per cycle)-achieves a favorable balance. It provides a twofold reduction in iteration count compared to classical methods while avoiding the high memory overhead associated with high-radix SRT designs. The use of precomputed values and selective replacement of arithmetic units with comparators contributes to moderate hardware complexity and enhanced operational speed, making the architecture particularly suitable for FPGA-based and embedded implementations.

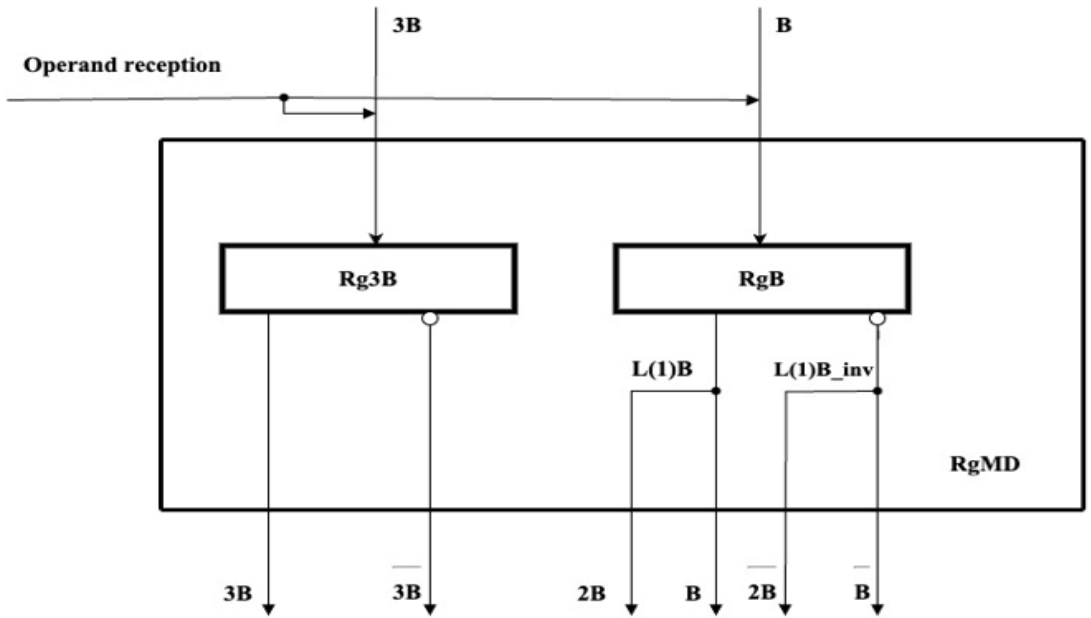


Fig. 2. Registers of multiples of the divisor (RgMD)

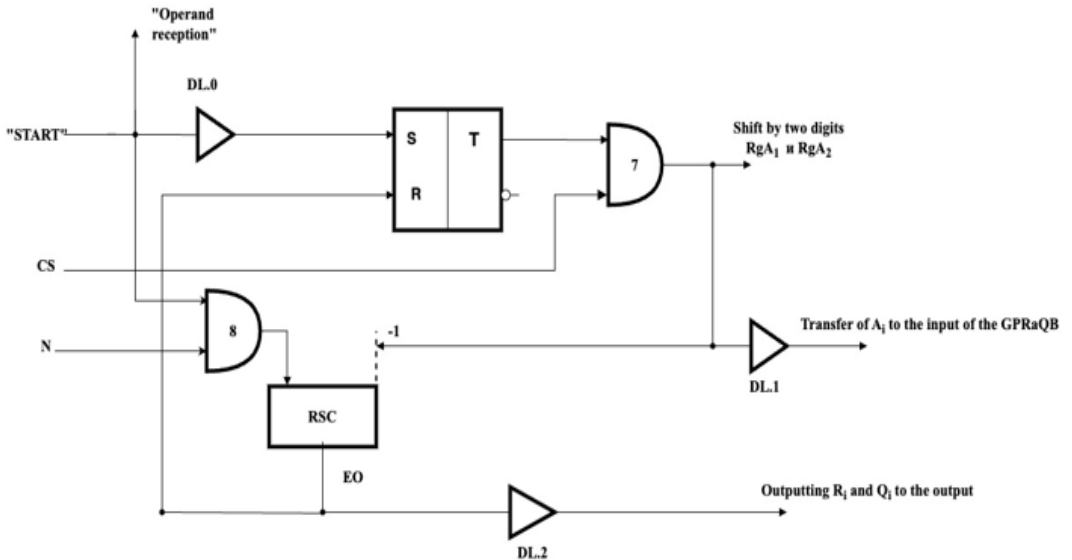


Fig. 3. The structure of the synchronization unit (SU)

Consider the operation of the dividing device.

The “Start” signal generates the “Receive operands” control signal, which, using the AND1 circuit, the most significant digit of the dividend is written into the RgA1 register via the OR1 circuit. The least significant digits of the number A are received into the RgA2 register, while multiples of 3B are simultaneously received into the Rg3B register via the AND2 circuit, and the divisor B is received into the RgB register of the

block BRgMD. The “START” signal also receives the code of the number of shifts K via the AND8 circuit and is written into the reversible counter RSC.

The “Start” signal (Fig. 3), delayed on the delay lines DL.0 for the time of receiving the operands, is fed to the S input of the trigger T and sets it to the one state, which allows the first clock signal T AND1 to pass to the input of the circuit AND7, forming the “Shift” signal, which shifts the registers RgA1 and RgA2 by two digits to the left. Also, the “Shift” signal decreases the reading of the counter RC by one. The “Shift” signal, delayed on DL.1 for the time of shifting the registers RgA1 and RgA2, is fed to the second input of the circuit AND4, to the first input of which the $A_i = 4R_{i-1} + a_{i+1}a_i a_{-i}$ shifted by two digits is fed with the addition of two digits $a_{i+1}a_i$ from the outputs of the circuit AND4, the number A_i is fed to the inputs of the GPRaQB. In the GPRaQB, the number A_2 is compared with the multiples 3B, 2B, B and selects one of them, which allows one of the multiples $3\bar{B}, 2\bar{B}, \bar{B}$ to pass to the input of the adder AD, where the remainder is calculated. The selected multiples also form the bits of the quotient q_i, q_{i-1} the cycle ends with the supply of the remainder q_i, q_{i-1} to the inputs of the register RgA1 and the reception of the bits of the quotient in the least significant bits of the register RgA2. By this time (Fig. 3), the second AND2 arrives at the input of the AND7 SB, through which the execution of the second division cycle begins: the contents of RgA1 and RgA2. are shifted by two bits, the counter reading is reduced by one, in the register RgA1, the number $A_2 = 4R_1$ is formed. The bits of the quotient are moved to the left by two places in the GPRaQB $A_2 = 4R_1$ are compared with the multiples of 3B, 2B, B and one of them is selected, according to which the next remainder R_2 is formed and the bits of the quotient q_{i-2}, q_{i-3} , the multiples are accepted into the register RgA1 and RgA2..

Other remainders and quotient bits are formed similarly. In the last cycle, the division counter (DC) is reset. At the same time, it produces the “End of Operations” signal EO, which switches the T trigger to the “0” state. At the same time, the clock signal is prohibited from entering the circuit. The delayed EO signal on DL.2 produces the contents of the RgA1 register, which is output through the AND5 circuit, and simultaneously the quotient Q bits are output from the RgA2 register through the AND6 circuit.

Former of partial remainders and quotient bits based on three comparison schemes.

Figure 4 presents the functional diagram of the Partial Remainder and Quotient Bit Generation Block (GPRaQB). This block comprises three main components:

- the Multiple-to-Divider Selection Block (MDSB),
- the Private Discharge Formation Unit (PDFU),
- the Remainder Formation Block (RFB).

The MDSB is implemented using three parallel comparison circuits (CC-1, CC-2, CC-3), along with associated logic gates AND9, AND10, and AND11. The input value $A_i = 4R_{i-1}$ is simultaneously fed to the left inputs of all comparison circuits. The right inputs receive the precomputed multiples of the divisor: B, 2B, and 3B, respectively.

The comparisons are performed in parallel, enabling fast decision-making. The output behavior of each comparator is as follows:

- CC-1 generates a logical '1' at Output 1 when $A_i < B$, and at Output 2 when $A_i \geq B$;
- CC-2 outputs '1' at Output 1 if $A_i < 2B$, and at Output 2 if $A_i \geq 2B$;
- CC-3 behaves similarly, producing '1' at Output 1 for $A_i < 3B$, and at Output 2 for $A_i \geq 3B$.

These output signals serve as selection flags that determine which multiple of the divisor will be used for computing the partial remainder and which quotient bits will be formed. The logical structure ensures parallelism, minimizes delay in the decision path, and eliminates the need for sequential selection logic.

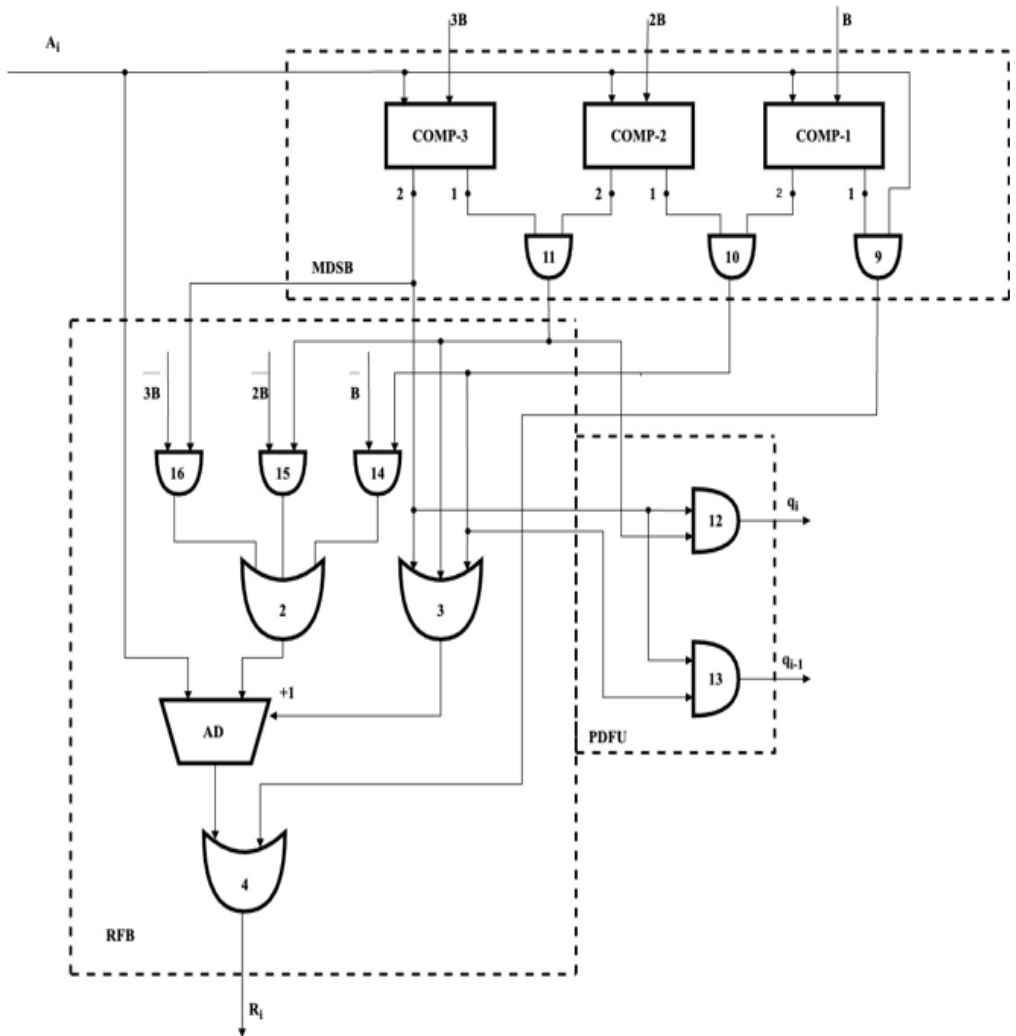


Fig. 4. Functional scheme of formation of partial remainder and quotient digits on three comparison schemes

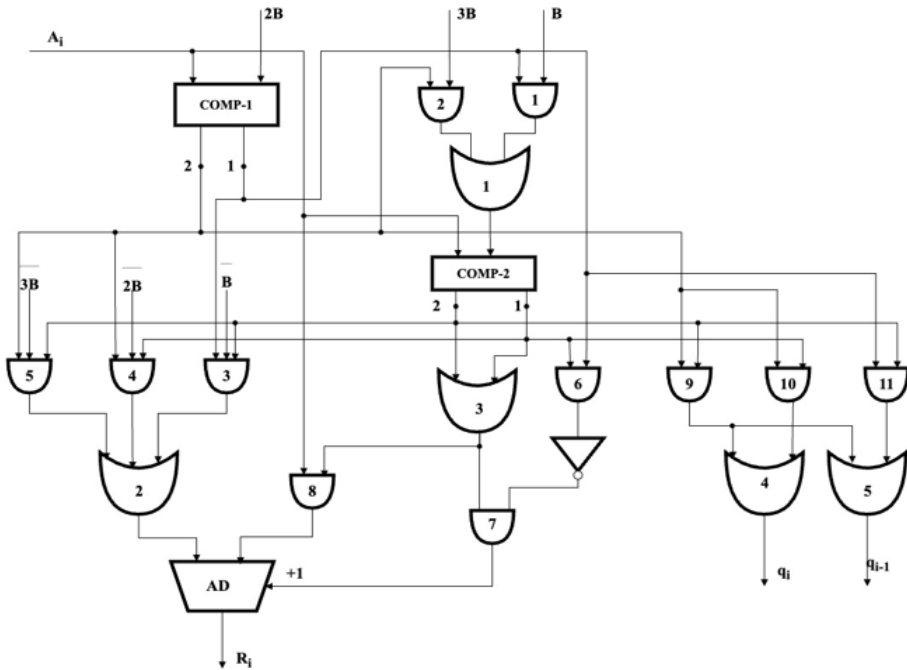


Fig. 5. Functional diagram of the GPRaQB amplifier on two comparison schemes

When $A_i < B$, the value of A_i is transferred to the output via the AND9 and OR4 circuits. In this case, $R_i = A_i = 4R_{i-1}$. The PDFU circuits generate the $q_i q_{i-1} = 00$ bits.

At $2B > 3B$, a single signal is formed at the output of the AND10 circuit, which allows the inverse code to be transmitted through the OR2 circuit to the input of the adder AD. In this case, the operations $= +1$ are performed and $=$ are formed in the PDFU.

At the ratio $2B \leq A_i < 3B$, a single signal is formed at the output of the circuit AND11, which leads to the execution of operations $R_i = A_i + \overline{2B} + 1$. In this case,

$q_i q_{i-1} = 10_2$, at the ratio $A_i \geq 3B$, the signal from the output 2 of the CC-3 leads to the execution of operations $R_i = A_i + \overline{3B} + 1$, while at the outputs of the circuits AND12 and AND13 of the PDFU, bits $q_i q_{i-1} = 11_2$ are formed.

The advantage of the GPRaQB on three comparison circuits is the simultaneous comparison of operands.

Former of partial remainders and quotient bits based on two comparison schemes.

Figure 5 illustrates the functional diagram of the remainder and quotient digit generation unit (GPRaQB), which consists of an adder (AD), two comparison circuits (CC-1, CC-2), logic gates (AND1–AND11, OR1–OR5), and a NOT gate.

The doubled divisor value (2B) is supplied to the right input of CC-1, while either B or 3B is selectively passed to the right input of CC-2 through gates AND1/OR1 and AND2/OR1, respectively. The operand A_i is fed to both comparison circuits and the right input of the adder via AND8.

Comparison Logic and Operation Modes.

Step 1: $A_i < 2B$

CC-1 outputs '1' at output 1, activating AND1 to pass B to CC-2 and blocking 3B through AND2.

If $A_i \geq B$: :

CC-2 selects \bar{B} , which is added to A_i in AD to compute $R_i = A_i + \bar{B} + 1$, forming quotient digits $q_i q_{i-1} = 01_2$.

If $A_i < B$:

No subtraction occurs; the adder simply passes $R_i = A_i$, with quotient digits $q_i q_{i-1} = 00_2$.

Step 2: $A_i \geq 2B$

CC-1 outputs '1' at output 2, enabling 3B to be passed to CC-2 and blocking B via AND1.

If $A_i < 3B$:

CC-2 selects $2\bar{B}$, and the adder performs $R_i = A_i + 2\bar{B} + 1$, forming $q_i q_{i-1} = 10_2$.

If $A_i \geq 3B$:

CC-2 selects $3\bar{B}$, leading to $R_i = A_i + 3\bar{B} + 1$, and quotient digits $q_i q_{i-1} = 11_2$.

Each decision is driven by control logic involving CC-1 and CC-2 outputs, routed through specific AND and OR gates. The quotient bits q_i and q_{i-1} are generated using AND9–AND11 and finalized via OR4 and OR5.

Implementation Consideration

A known drawback of the two-comparator-based GPRaQB design is the sequential nature of CC-1 and CC-2 operations, which introduces delay and reduces efficiency in high-frequency applications.

To validate the correctness and performance of the algorithm, the divider based on three parallel comparison circuits (as shown earlier in Fig. 4) was modeled and tested using FPGA implementation. A specific case of dividing a number by a divisor was simulated to ensure correct generation of remainders and quotient bits.

Let the dividend $A=2743_{10}$, divisor $B=11010_2$

$$A=2743_{10} = \{ \begin{matrix} a_{12} & a_{11} & a_{10} & a_9 & a_8 & a_7 & a_6 & a_5 & a_4 & a_3 & a_2 & a_1 & a_0 \end{matrix} \}$$

$$= \{ \begin{matrix} 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 1 \end{matrix} \}$$

$$B=11010_2 = 26_{10}; 2B=52_{10}; 3B=78_{10}$$

The senior five bits of the binary code of the number A are determined by the value $R_0=01010_2 = 10_{10}$. Adding the next two bits $a_7 a_6$ of the number A to the remainder R_0 shifted to the left by two digits gives the number

$$A_1 = (2) R_0 + (a_7 a_6) = 4R_0 + (a_7 a_6) = 40 + 2 = 42_{10}.$$

For clarity, all calculations for determining the remainders and digits of the quotient are given in the table in the decimal number system.

Table 2. – The order of performing the operation of dividing the dividend A by the divisor B.

Cycles	Enrollment of balances	Formation $q_i q_{i-1}$
1	$A_1 = 4R_0 + (a_7 a_6) = 40 + 2 = 42_{10}$ $52 > 42 > 46$, while $B \geq A_i < 2B$ therefore, $R_1 = 42 - 26 = 16$	$q_7 q_6 = 01$
2	$A_2 = 4R_1 + (a_5 a_4) = 64 + 3 = 67_{10}$ $78 > 67 \geq 52$, while $3B > A_i \geq 2B$ therefore, $R_2 = 67 - 52 = 15$	$q_5 q_4 = 10$
3	$A_3 = 4R_2 + (a_3 a_2) = 60 + 1 = 61_{10}$ $78 > 61 \geq 52$, while $3B > A_i > 2B$ therefore, $R_3 = 61 - 52 = 9$	$q_3 q_2 = 10$
4	$A_4 = 4R_3 + (a_1 a_0) = 36 + 3 = 39_{10}$ $52 > 39 > 26$, then $R_4 = 39 - 26 = 13$	$q_1 q_0 = 01$

$$Q = 01101001_2 = 105_{10}; R = 13_{10};$$

$$\text{Check } A = (Q * B) + R = (105 * 26) + 13 = 2743_{10}$$

To verify the operation of the dividing device, a behavioral simulation was performed in the Vivado 2017 software package. The device was described using the Verilog programming language. The simulation made it possible to verify the correct functional operation of the device at the logic description level, without including time characteristics or physical modeling in the calculation. The main tasks of the simulation were to identify errors in logic and verify the interaction of components at the signal level.

After performing these tests and checks, no critical errors were found in the logic of the device. Figure 6 shows the simulation result, which shows that it took a total of four clock signals to divide the numbers $A = 2743_{10}$ by $B = 26_{10}$. In the timing diagram, the quotient bits obtained in each clock are presented in binary form: $01_2, 10_2, 10_2, 01_2$.

In the diagram, it is clear that the value of bits $q_5 q_4 = 10$ и $q_3 q_2 = 10$ in the second and third clocks has an analog value. The final value of the quotient Q is formed by concatenating the bits 01101001_2 , which is the number $Q = 105_{10}$.

The remainder R on the last (4th bar) shows the remainder value $R = 13_{10}$.

Results and discussion.

The current study demonstrates the feasibility and correctness of a divider architecture that generates two quotient bits per cycle through the use of precomputed multiples and comparison-based logic. However, further enhancement of performance is possible by optimizing the architectural variants for specific timing and structural trade-offs.

In future work, attention will be focused on designing a sequential divider variant operating over three clock cycles per full division step. This approach is expected to reduce logic complexity while maintaining acceptable performance for resource-constrained systems, such as low-power FPGAs or embedded processors.

Another promising direction involves the development of a matrix-based divider structure capable of performing division operations in just two clock cycles. By leveraging the parallelism of matrix interconnections and reducing propagation delays, this architecture has the potential to significantly improve throughput, especially in high-speed computing applications.

Further research will also explore power–performance trade-offs, logic minimization techniques, and pipelined implementations suitable for ASIC design or integration into arithmetic logic units (ALUs).

Conclusion.

In this paper, a structural diagram of a dividing device with preliminary preparation of multiples of the divisor has been proposed and validated. Two functional variants were developed, enabling each division cycle to compute the partial remainder and generate two bits of the quotient through the use of two or three comparison circuits. This approach effectively reduces the number of division cycles by half compared to classical methods.

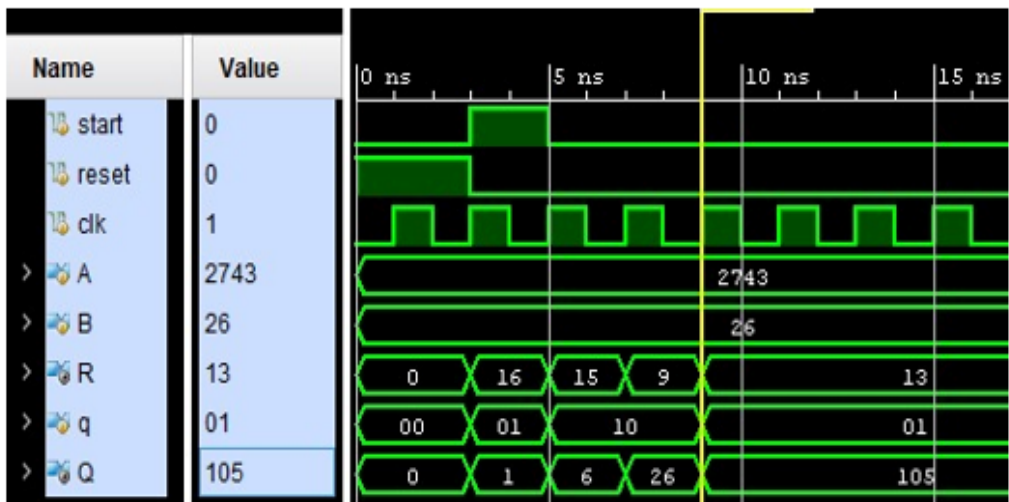


Fig.6. Result of FPGA dividing device simulations for the example where dividend A= and divisor B

The architecture was modeled using Verilog HDL and verified through simulation on an FPGA platform. As illustrated in Figure 6, the divider successfully processed the example division by , generating the correct quotient and remainder , with all logic operations performing as expected.

These results confirm the correctness and efficiency of the proposed design and demonstrate its suitability for implementation in hardware-based digital arithmetic systems.

REFERENCES

- Arya N., Soni T., Pattanik M., Sharma G.K. (2022). Energy efficient logarithmic divider for ASIC and FPGA // *Microprocessors and Microsystems*. — Vol. 92. — Article 104498. DOI: 10.1016/j.micpro.2022.104498. [In Eng.]
- A constant time hardware architecture for CSIDH key exchange protocol (Montgomery modular operations). (2025). arXiv:2508.11082. DOI: 10.48550/arXiv.2508.11082. [In Eng.]
- Dikshit S., Nadeem M. (2017). FPGA accomplishments of a 16 bit divider // *Imperial Journal of Interdisciplinary Research*. — Vol. 3. — No. 2. Pp. 1–5. [In Eng.]
- Flynn M.J., Oberman S.F. (2001). *Advanced Computer Arithmetic Design*. — Wiley, Hoboken, NJ, USA. <https://www.wiley.com/en-es/Advanced+Computer+Arithmetic+Design-p-9780471412090> [In Eng.]
- Gorodecky D., Sousa L. (2023). Scalable Architecture of Constant Division on FPGA // *Proceedings of ARITH 2023*. Pp. 13–19. <https://arith2023.arithsymposium.org/papers/Scalable%20Architecture%20of%20Constant%20Division%20on%20FPGA.pdf> [In Eng.]
- Harris D.L., Oberman S.F., Horowitz M.A. (1997). SRT Division Architectures and Implementations // *Proceedings of IEEE Symposium on Computer Arithmetic*. Pp. 18–25. [In Eng.]
- Kim K., Lee S., Park J. (2025). Shared Recurrence Floating Point Divide/Sqrt and Integer Division Algorithms for FPGA // *IEEE Transactions on Computers*. [In Eng.]
- Koren I. (2017). *Computer Arithmetic Algorithms*, 2nd Ed. — CRC Press, Boca Raton, FL, USA. <https://www.routledge.com/Computer-Arithmetic-Algorithms/Koren/p/book/9781568811604> [In Eng.]
- Liu H., Chen Y., Zhu X., Zhang L. (2025). A SignedDigit Hybrid Stochastic Number Method for Arithmetic Computation // *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. Bookmark, DOI: 10.1109/TVLSI.2025.3532948 [In Eng.]
- Liddicoat A.A., Cary S., Pang J. (2005). FPGA based high performance arithmetic pipeline synthesis // *Advances in Signal Processing, Algorithms, Architecture, and Implementation XV*. DOI: 10.1117/12.615338 [In Eng.]
- Matthews J., Zhang Z., Chen Z. (2019). Rethinking integer divider design for FPGA based soft processors // *FieldProgrammable Custom Computing Machines (FCCM)*. Pp. 115–122. [In Eng.]
- Nand A.Y., V.R. (2023). FPGA implementation of high speed efficient floating point ALU // *Proceedings of the International Conference on Control, Communication, and Computing*. Pp. 1–5. [In Eng.]
- Nikmehr H., Phillips B., Lim C.C. (2007). Fast radix4 floating point divider with quotient digit selection by comparison multiples // *The Computer Journal*. — Vol. 50. — No. 1. Pp. 37–44. DOI: 10.1093/comjnl/bxl048. [In Eng.]
- Obshta A., Khoma V., Prokopchuk A. (2024). Digital division algorithms for efficient execution on integrated circuits // *Advances in CyberPhysical Systems*. — Vol. 1. — No. 1. Pp. 48–55. DOI: 10.23939/acps2024.01.046 [In Eng.]
- Prasad H., Kumar A., Power estimation of Radix2 and high radix embedded divider IP cores for modern FPGAs (2025). World Scientific Publishing. DOI: <https://doi.org/10.1142/S0218126625503645> [In Eng.]
- ParandehAfshar H., Verma A.K., Brisk P., Jenne P. (2010). Improving FPGA performance for carriesave arithmetic // *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. — Vol. 18. — No. 4. Pp. 578–591. DOI: 10.1109/TVLSI.2010.2045987. [In Eng.]
- Patankar U.S., Flores M.E., Koel A. (2023). Novel datadependent divider circuit block implementation for complex division and areacritical applications // *Scientific Reports*. — Vol. 13. — Article 3027. DOI: 10.1038/s41598-023-28343-3. [In Eng.]
- Parhami B. (2010). *Computer Arithmetic: Algorithms and Hardware Designs*. — Oxford University Press, Oxford, UK. https://www.researchgate.net/publication/236944290_Computer_Arithmetic_Algorithms_and_Hardware_Designs_Second_Edition [In Eng.]
- Song X., Lu R., Guo Z. (2025). High performance reconfigurable pipeline implementation for FPGA based SmartNIC // *Micromachines*. — Vol. 15. — <https://doi.org/10.3390/mi15040449>. [In Eng.]
- Yang J. (2025). FPGA Design and Implementation of FixedPoint Fast Divider Using Goldschmidt Division Algorithm and Mitchell Multiplication Algorithm // arXiv:2508.14611. DOI: 10.48550/arXiv.2508.14611. [In Eng.]

**INTERNATIONAL JOURNAL OF INFORMATION AND
COMMUNICATION TECHNOLOGIES**

**ХАЛЫҚАРАЛЫҚ АҚПАРАТТЫҚ ЖӘНЕ КОММУНИКАЦИЯЛЫҚ
ТЕХНОЛОГИЯЛАР ЖУРНАЛЫ**

**МЕЖДУНАРОДНЫЙ ЖУРНАЛ ИНФОРМАЦИОННЫХ И
КОММУНИКАЦИОННЫХ ТЕХНОЛОГИЙ**

Собственник:

АО «Международный университет информационных
технологий» (Казахстан, Алматы)

Главный редактор:

Колесникова Катерина Викторовна

Ответственный редактор:

Мрзабаева Раушан Жалиевна

Компьютерная верстка:

Калабай Замзагуль Ертугановна

Сайт журнала: <https://journal.iitu.edu.kz>

ISSN 2708–2032 (print)

ISSN 2708–2040 (online)

Подписано в печать 30.06.2026.

050040 г. Алматы, ул. Манаса 34/1, каб. 709, тел: +7 (727) 244-51-09).